

Ա.Հ. ՄԱՆՈՒԿՅԱՆ

14 ՆԱՆՈՄԵՏՐԱՆՈՑ ՏԵԽՆՈԼՈԳԻԱՅՈՎ ՑԱԾԻ ԷՆԵՐԳԱՊԱՌՄԱՄԲ ՊՐՈՑԵՍՈՐԻ ՄՇԱԿՈՒՄԸ

Ներկայացված է ցածր էներգասպառման տեխնիկաների կիրառմամբ ChipTop պրոցեսորի նախագծումը: Նախագծման ընթացքում օգտագործվել են ցածր էներգասպառման երկու մոտեցումներ: Ինտեգրալ սխեմայի (ԻՍ) տարբեր հատվածներ նախագծվել են սնուցման լարման տարբեր արժեքների դեպքում, որոշ հատվածներում էլ բջիջները փոխարինվել են բարձր և ցածր շեմային լարման օրինակներով: Առաջին մեթոդի կիրառմամբ ավելի շատ փոքրացել է հզորության դինամիկ բաղադրիչը, իսկ երկրորդ մեթոդը թույլ է տվել փոքրացնել ստատիկը: Նախագիծն իրականացվել է 14 նանոմետրանոց տեխնոլոգիայի միջոցով: Ստացված արդյունքները համեմատվել են այն նախագծի հետ, որում այդ մեթոդները չեն կիրառվել:

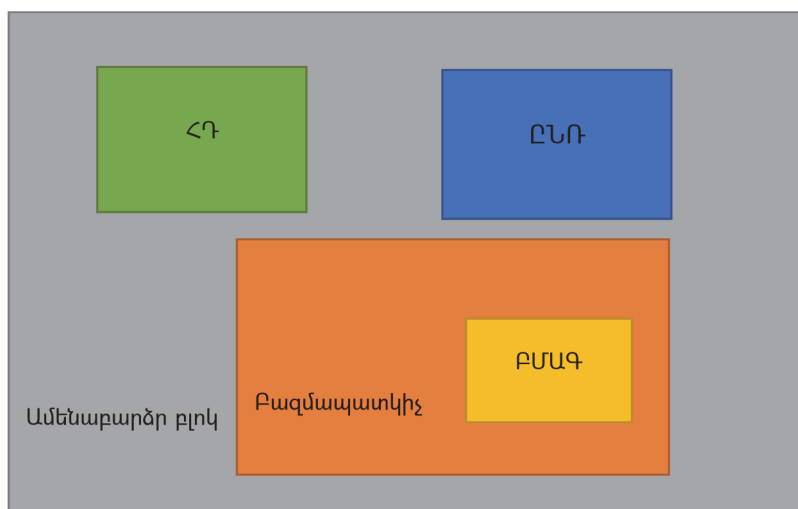
Առանցքային բառեր. եռաչափ տրանզիստոր, ցածր էներգասպառման տեխնիկաներ, ChipTop պրոցեսոր:

Ներածություն. Բարձր ինտեգրման աստիճանի, ցածր էներգասպառման և արագագործության ապահովման նպատակով ժամանակ առ ժամանակ ինտեգրալ սխեմաների արտադրության ԿՄՕԿ տեխնոլոգիաները ենթարկվում են մասշտաբավորման: Սա ենթադրում է տրանզիստորների չափերի տեխնոլոգիական առաջընթացով պայմանավորված շարունակական փոքրացում: Ներկայումս արդեն անցում է կատարվել 14նմ-անոց և ավելի փոքր տեխնոլոգիաներին: Տրանզիստորների չափերի նման փոքրացումը հնարավորություն է տալիս միևնույն կիսահաղորդչային բյուրեղի վրա տեղավորել ավելի մեծ քանակով կիսահաղորդչային տարրեր, մեծացնել յուրաքանչյուր ԻՍ-ի ֆունկցիոնալ հնարավորությունները և նվազեցնել դրանց ինքնարժեքը: Մյուս կողմից, ինտեգրման աստիճանի մեծացմանը զուգընթաց, աճում է նաև տրանզիստորների էլեկտրական ծակման հավանականությունը, ինչպես նաև ԻՍ-երի տեսակարար դինամիկ էներգասպառումը, որն առաջ է բերում ԻՍ-ի տարբեր հատվածներում անջատված ջերմության քանակի մեծացում: Այդ խնդիրը լուծում են ցածր էներգասպառման սխեմաների (ՑԷՍ) նախագծման մեթոդների կիրառմամբ: Նախագծման ժամանակ կարևոր դեր են խաղում սխեմայի էներգասպառման ինչպես ստատիկ, այնպես էլ դինամիկ բաղադրիչները: Այդ բաղադրիչները կարելի է փոքրացնել՝ նվազեցնելով սնուցման լարման արժեքը, ինչպես նաև սխեմայի որոշակի հատվածներում բարձր շեմային լարմամբ աշխատող տրանզիստորների հիման վրա նախագծված բջիջների փոխարինմամբ:

Ցածր էներգասպառման առկա մեթոդները ներկայումս լայնորեն կիրառվում են տարատեսակ ԻՍ-երի նախագծման ժամանակ: Առաջարկվող մեթոդները հիմնականում ուղղված են կորստի հոսանքի ծախսի մեծացման հաշվին դինամիկ էներգասպառման նվազեցմանը: Ցածր էներգասպառման առկա մեթոդներն են՝ ինտեգրալ սխեմայի առանձին, ոչ ակտիվ հատվածներում սինքրոազդանշանի ժամանակավոր շրջափակումը, բազմաշեմային, բազմասնուցմամբ, սնուցմամբ ղեկավարվող նախագծումը և այլն: Որոշ հայտնի մեթոդների կիրառումը հանգեցնում է ԻՍ-ի նախագծման գործընթացի տևողության զգալի աճի: Այլ մեթոդները հատուկ, լրացուցիչ պահանջներ են առաջադրում ԻՍ-ի նախագծման ժամանակ կիրառվող թվային ստանդարտ բջիջների գրադարանին: Բացի այդ, առկա մեթոդների մի մասը կողմնորոշված է հստակ տեխնոլոգիաներին, և տեխնոլոգիական մասշտաբավորման արդյունքում դրանց արդյունավետությունն էապես ընկնում է: ՑէՍ-երի առկա մեթոդների առաջարկվող հիմնական պահանջն այն է, որ ժամանակակից ԻՍ-երի էներգասպառումը նվազեցվի մինչև նախագծման գործնական պահանջների բավարարումը:

Այս աշխատանքի նպատակն է այդ մեթոդներից երկուսի (բազմաշեմային և բազմասնուցմամբ) կիրառմամբ նախագծել պրոցեսոր և արդյունքները համեմատել այն նախագծի հետ, որում այդ մեթոդները չեն կիրառվել:

ChipTop պրոցեսորի համառոտ նկարագրությունը. ChipTop [1] պրոցեսորը կազմված է 5 հիմնական բլոկերից (նկ.1)¹՝ հրամանների դեկոդեր (ՀԴ), ընդհանուր նշանակության ռեգիստրներ (ԸՆՌ), բազմապատկիչ, բազմապատկիչի համար մասնակի արտադրանքի գեներատոր (ԲՄԱԳ) և հզորության ղեկավարիչ:



Նկ. 1. ChipTop պրոցեսորի սնուցման կղզակները

Անուցման երեք կղզյակները միմյանցից անկախ փոխանջատվելու հնարավորություն ունեն: Յուրաքաչյուր կղզյակ ունի իր տրամաբանական բանալին: Ամենաբարձր բլրկը և ԲՄԱԳ-ն միշտ միացված են:

Եռաչափ տրանզիստորներ. Չնայած ԿՄՕԿ տեխնոլոգիայի օգտագործման դեպքում ճիշտ օպտիմալացում կատարելիս ԻՍ-ում հնարավոր է ապահովել կիսահաղորդչային տարրերի բավականին մեծ խտություն և մեծ արագագործություն, այդուհանդերձ, դա ունի սահմանային արժեք: Այդ արժեքը հաղթահարելու համար առաջ են գալիս նոր մարտահրավերներ [2]:

Ստորև ներկայացված են այդ մարտահրավերներից մի քանիսը.

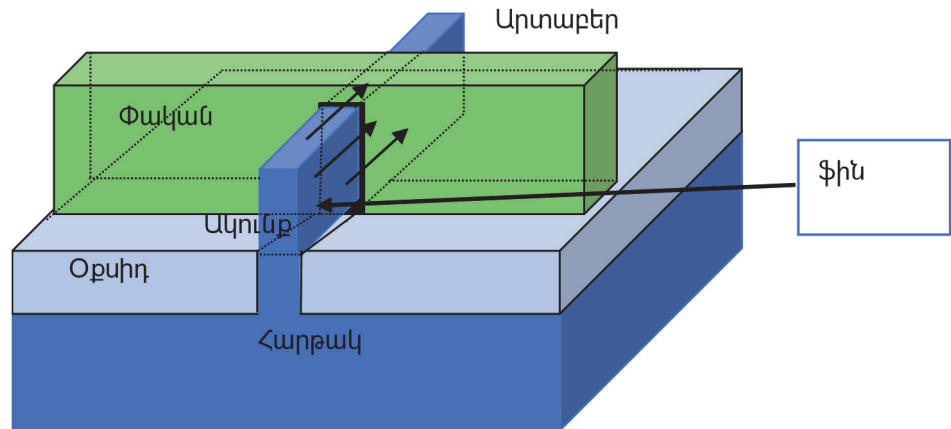
1. Չմասշտաբավորված ջերմային kT/q լարումը հանգեցնում է չմասշտաբավորված շեմային լարման:

2. Փականի օքսիդի՝ SiO_2 -ի հաստությունը չի կարող ավելի փոքր լինել, քան 1.5 նմ-ը, որովհետև, հակառակ դեպքում, կառաջացնի մեծ շեղման աղետալի հոսանքներ:

3. Փոքր հոսքուղի ստանալու համար լիցքերի լեգիրացման աստիճանը պետք է մեծացնել, որպեսզի հնարավոր լինի կրճատել կարճ հոսքուղային էֆեկտները (V_{CE}) և ապահովել շեմային լարման նորմալ արժեքներ: Լեգիրացման աստիճանի մեծացումը հոսքուղում հանգեցնում է լիցքերի շարժունակության փոքրացման, ինչն էլ խթանում է թունելային անցման շեղման հոսանքների մեծացումը, իսկ փականն ազդում է արտաբերի շեղման հոսանքի մեծացման վրա:

Այս և այլ մարտահրավերներից առավելապես առանձնացվում են երկուսը՝ շեղման հոսանքի փոքրացումը (ենթաշեմային հոսանք + փականի շեղման հոսանք) և սարքից սարք եղած փոփոխության նվազեցումը:

Ամեն անգամ առաջ եկող մարտահրավերներին լուծում է տրվում նոր տեխնոլոգիայի ստեղծմամբ: Այս դեպքում, օգտագործելով բազմափականային տրանզիստորներ, մասնավորապես եռաչափ տրանզիստոր, հնարավոր է արդյունավետ կառավարել կարճ հոսքուղային էֆեկտները (այդ տրանզիստորի տեսքը պատկերված է նկ. 2-ում):



Նկ. 2. Եռաշախի տրանզիսպորտի կառուցվածքը

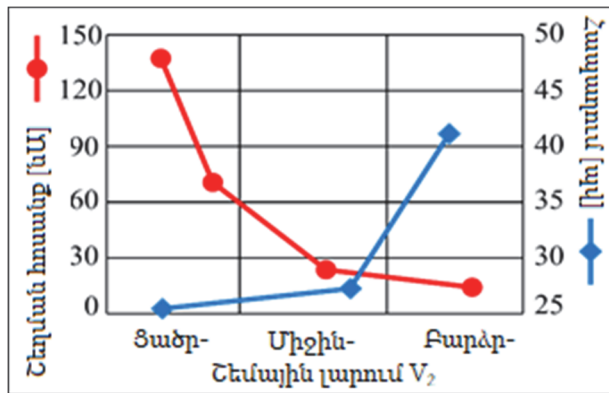
Պատկերված կառուցվածքը բաղկացած է սիլիցիումային մարմնից, որը փաթեթված է փականի էլեկտրոդի վրա: Նման կառուցվածքներում հոսանքներն անցնում են զուգահեռ, իսկ հոսքուղին ուղղահայաց է հարթակին: L-ով նշանակված է հոսքուղու երկարությունը, որը զարգացել է հետևյալ կերպ՝ 22նմ, 14նմ, 10նմ, 7նմ:

Փականի արդյունաբար լայնությունը որոշվում է 2ոհ բանաձևով, որտեղ n-ը ֆինների քանակն է, իսկ h-ը՝ ֆինի բարձրությունը: Մեծ հոսանք ստանալու համար պարզապես պետք է ավելացնել ֆինների քանակը: P-ն հարակից ֆինների միջև հեռավորությունն է, որի արժեքը ստացվում է լիտոգրաֆիայից:

Ինչպես երևում է նկարից, բազմափականային կառուցվածքներում հոսքուղին կառավարվում է երեք ուղղությամբ (իսկ երկփականային կառուցվածքներում՝ երկու ուղղությամբ), որն ավելի կարճ հոսքուղիների դեպքում թուլացնում է ԿՀԷ-ները:

Այս կառուցվածքներն ապահովում են արտաբերի համեմատաբար ավելի մեծ հոսանքներ, մեծացնում են փոխանջատման արագագործությունը մինչև 37%-ով, աշխատում են համեմատաբար ավելի փոքր շեմային լարումների դեպքում, կեսից ավելի փոքրացնում են դինամիկ հզորությունը, ինչպես նաև փոքրացնում են շեղման հոսանքները մոտավորապես 90%-ով:

Բազմակի շեմային լարումներով նախագծման մեթոդ. Հզորության և ժամանակային բնութագրերը շատ կարևոր են ԻՍ-երի համար: Նկ. 3-ում ցույց է տրված հապաղման ժամանակի և շեղման հոսանքի կախվածությունը շեմային լարումից:



Նկ. 3. Շեղման հոսանքի և հապաղման կախվածությունը

Բարձր շեղմային լարմամբ աշխատող սարքավորումների առավելությունը ենթաշեղմային հոսանքների փոքր արժեքներն են: Այդ տեսակի սարքավորումներն օգտագործվում են սխեմայի սպասման ռեժիմի ժամանակ[3]՝ ցածր շեղմային լարմամբ աշխատող տրանզիստորները սնուցումից մեկուսացնելու համար: Իսկ ցածր շեղմային լարումով աշխատող տրանզիստորները, իրենց բարձր արագագործության շնորհիվ, օգտագործվում են հիմնական տրամաբանությունն իրականացնելու նպատակով:

Բազմակի սնման լարումներով նախագծման մեթոդ. Ժամանակակից ԻՍ-երի տարբեր հատվածներ ունեն տարբեր արդյունավետություն: Սնուցման լարման տարբեր արժեքների օգտագործումը թույլ է տալիս փոքրացնել պրոցեսորի ցրվող հզորությունը:

Սնուցման լարման ցածր արժեքներ վերցվել են ՀԴ-ի և ԸՆՌ-ի համար: Այդ բլոկներն աշխատում են 0.65V, իսկ մնացած բլոկները՝ 0.8V լարմամբ: Այս արդյունքին հասնելու հնարավորություն է ընձեռել միասնական հզորության ձևաչափի (ՄՀՁ) միջոցով կատարված նկարագրությունը: ՄՀՁ նկարագրությունն օգտագործվել է առանձին բլոկների լարումները նկարագրելու համար: Իսկ բլոկների միջև ազդանշանների փոխանցումն ապահովելու նպատակով օգտագործվել են լարման մակարդակի ձևափոխիչներ:

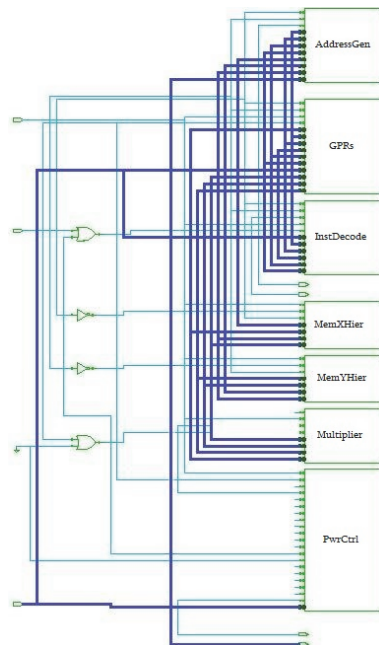
Նախագծման գործընթացը. Թվային ԻՍ-երի ավտոմատ նախագծման երթուղու միջոցով իրականացվել է ChipTop պրոցեսորի նախագծումը: Նախագծման ընթացքում կիրառվել են ցածր էներգասպառման մեթոդներից երկուսը:

Բազմակի սնման լարումներով նախագծման մեթոդը թույլ է տվել պրոցեսորի տարբեր բլոկներ սնուցել տարբեր լարումներով, ինչն էլ փոքրացրել է դինամիկ հզորությունը:

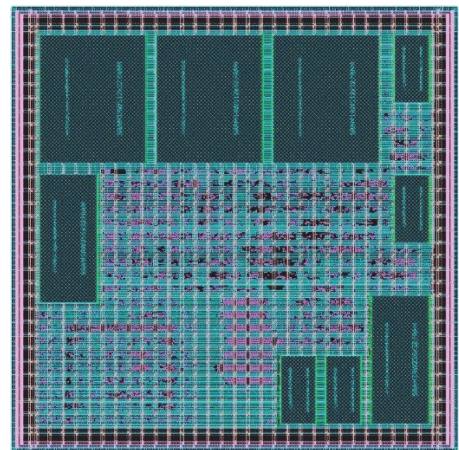
Բազմակի շեմային լարումներով նախագծման մեթոդի կիրառմամբ այն հատվածներում, որտեղ ժամանակային պարամետրերի պաշարները մեծ են եղել, այդ հատվածներում եղած բջիջների մի մասը փոխարինվել է բարձր շեմային լարմամբ օրինակներով: Արդյունքում, ժամանակային պարամետրերի պաշարի նվազեցման հաշվին փոքրացել է նաև ստատիկ հզորությունը:

Նախագծման ընթացքում օգտագործվել է 14 նմանոց ուսումնական նախագծման հավաքածուն [4]:

Նկ. 4 -ում պատկերված է տրամաբանական և ֆիզիկական սինթեզից հետո ստացված սխեման և ֆիզիկական նախագիծը:



ա) պրոցեսորի սխեման



բ) պրոցեսորի ֆիզիկական նախագիծը

Նկ. 4. Տրամաբանական և ֆիզիկական սինթեզից հետո ստացված սխեման և ֆիզիկական նախագիծը

Տակտային ազդանշանի հաճախությունը հասել է մինչև 350 ՄՀց: Կրիտիկական ճանապարհները վերլուծության են ենթարկվել, և այդ ճանապարհներում եղած բջիջները փոխարինվել են: Այն հատվածներում, որտեղ ավելի կարևոր են եղել հզորության հետ կապված պարամետրերը, այդտեղ եղած բջիջները փոխարինվել են բարձր շեմային լարմամբ բջիջներով, իսկ այն հատվածներում, որտեղ ժամանակային պարամետրերի հետ կապված խնդիրներ են եղել, համապատասխանաբար օգտագործվել են ցածր շեմային լարմամբ աշխատող բջիջներ:

Աղյուսակում ցույց է տրված պարամետրերի արժեքները մինչ ցածր էներգասպառման մեթոդների կիրառումը և այդ մեթոդների կիրառումից հետո:

Աղյուսակ

Պրոցեսորի պարամետրերի արժեքները

Պարամետր	ChipTop պրոցեսոր	ՑԷ ChipTop պրոցեսոր
Հաճախություն	350ՄՀՑ	400ՄՀՑ
Պահանջման ժամանակ	3.98նվ	3.45նվ
Ժամանման ժամանակ	1.96նվ	1.88նվ
Պաշար	2.02նվ	1.57նվ
Մտավոր սեփականության բլոկների գումարային մակերեսը	10076.89մկմ ²	16340.8մկմ ²
Բջջիների գումարային մակերեսը	286211.882մկմ ²	330,86մկմ ² ~(+15.6%)
Ընդհանուր մակերեսը	341782.887մկմ ²	38280.353մկմ ² (+12%)
Ընդհանուր հզորությունը	37,65մՎտ	2,6.7315մՎՏ ~(-29%)

Եզրակացություն. Իրականացվել է ցածր էներգասպառման ChipTop պրոցեսորի նախագիծը՝ հիմնված 14նմ-անոց տեխնոլոգիայի վրա: Այս հետազոտության արդյունքում ցույց է տրվել բազմակի սնման լարումներով և բազմակի շեմային լարումներով մեթոդների արդյունավետությունը: Արդյունքում՝ պրոցեսորի էներգասպառումը փոքրացել է 29%-ով, իսկ մակերեսը մեծացել է 15.6%-ով, դրա հետ մեկտեղ ժամանակային պարամետրերը գրեթե չեն տուժել՝ նշված մեթոդների ճշգրիտ օգտագործման շնորհիվ:

ԳՐԱՎԱՆՈՒԹՅԱՆ ՑԱՆԿ

1. **Gourisetty V., Mahmoodi H., Melikyan V.** low power design flow based on Unified Power Format and Synopsys tool chain // March 2013 Interdisciplinary Engineering Design Education Conference (IEDEC). - Santa Clara, California USA, 2013.
2. **Tetsu Tanaka.** 3D-IC technology and reliability challenges, Junction Technology (IWJT) // 2017 17th International Workshop on Junction Technology (IWJT). - Uji, Japan, 1-2 June 2017.
3. **Hemantha S., Dhawan A., Haranath Kar.** Multi-Threshold CMOS design for low power digital circuits // TENCON 2008.- IEEE Region 10 Conference.-2008.
4. **Melikyan V., Martirosyan M., Melikyan A., Piliposyan G.** 14nm Educational Design Kit: Capabilities, Deployment and Future // Small Systems Simulation Symposium.- Niš, Serbia, 12th-14th February, 2018.

А.А. МАНУКЯН

**РАЗРАБОТКА ПРОЦЕССОРА НИЗКОГО ЭНЕРГОПОТРЕБЛЕНИЯ НА
ОСНОВЕ 14 НМ ТЕХНОЛОГИИ**

Представлен проект процессора ChipTop с использованием техник низкого энергопотребления. При проектировании данного процессора были использованы две техники низкого энергопотребления. Разные части интегральной схемы (ИС) были спроектированы разными напряжениями питания; в разных местах элементы схемы были заменены на элементы с высоким и низким пороговым напряжением. В результате применения первого метода удалось достичь уменьшения динамической составляющей мощности, а применение второго метода позволило уменьшить и статическую составляющую. Проект был спроектирован с использованием 14- нанометровой технологии. Результаты были сравнены с проектом, спроектированным без использования техник низкого энергопотребления.

Ключевые слова: трехмерный транзистор, техники низкого энергопотребления, процессор ChipTop.

A.H. MANUKYAN

**DEVELOPING A LOW POWER PROCESSOR BASED ON A 14 NM
TECHNOLOGY**

A design for implementating a ChipTop processor is introduced. Two low power design methods were applied during the design of the processor. Different parts of Integrated Circuits (IC) were designed with different voltage domains and some cells were replaced with high-threshold and low-threshold voltage instances. The implementation of the first method decreased the dynamic part of the power, and the second method allowed to decrease the static one. The design was implemented with a 14 nm technology. The results were compared with the design which was implemented without low power methods.

Keywords: FinFET transistor, low power techniques, ChipTop processor.