

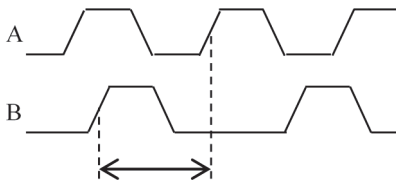
Ձ.Մ. ԱՎԵՏԻՍՅԱՆ

**ՍԻՆՔՐՈՆ ԴԻՆԱՄԻԿ ԿԱՄԱՅԱԿԱՆ ԸՆՏՐՈՒԹՅԱՄԲ ՀԻՇՈՂ ՍԱՐՔՐՈՒՄ
ԱՎՏՈՄԱՏԱՑՎԱԾ ԳՐԱՆՑՄԱՆ ԿԱՐԳԱՎՈՐՄԱՆ ԱՐԱԳՈՒԹՅԱՆ
ԲԱՐՁՐԱՑՄԱՆ ՄԵԹՈԴ**

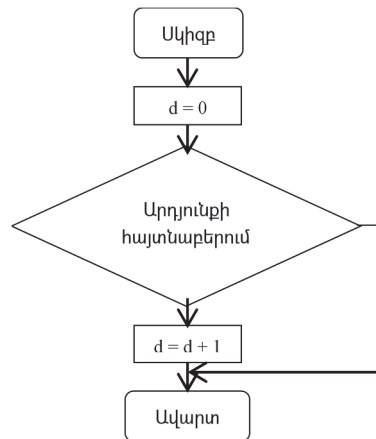
Դիտարկվել է սինքրոն դինամիկ կամայական ընտրությամբ հիշող սարքերում (ՍԴԿԸՀ) առանցքային դեր ունեցող գրանցման կարգավորումը (ԳԿ): Մոդելավորվել և չափվել են գրանցման մակարդակների կարգավորման ընթացակարգի կարևորագույն պարամետրերը, ինչի արդյունքում ցույց է տրվել, որ ընթացակարգում առկա է արդյունքի ձևավորման մեծ ժամանակ: Նշված ժամանակի կրճատման համար առաջարկվել է ընթացակարգի ալգորիթմի փոփոխություն:

Առանցքային բառեր. ՍԴԿԸՀ, սինքրոնազդանշան, գրանցման միջոց, ներանցումային տոպոլոգիա:

Ներածություն: Հիշող սարքերում հաճախ հարկ է լինում չափել ազդանշանների միջև ժամանակային շեղումները (նկ.1)՝ անխափան գրանցում ապահովելու նպատակով: Վերը նշված շեղումները ավտոմատացված կերպով գնահատելու համար կիրառելի է գծային որոնման ալգորիթմը [1] (նկ.2), որտեղ d -ն B ազդանշանին տրվող հապաղումն է:



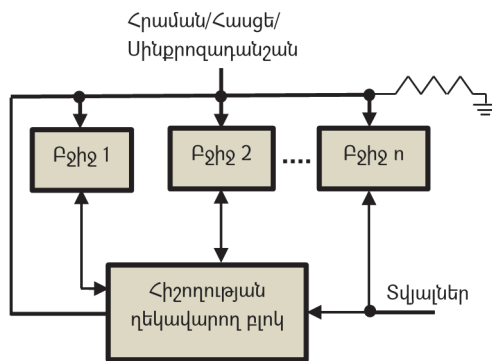
Նկ. 1. Ազդանշանների ժամանակային շեղում



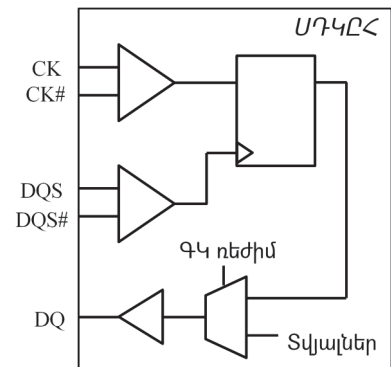
Նկ. 2. Գծային որոնման բլոկ-սխեմա

Ազդանշանների ամբողջականությունն ավելի լավ ապահովելու համար DDR3 հիշողության մոդուլները հարմարեցված են ներանցումային տոպոլոգիային (նկ.3) [2], որը յուրաքանչյուր հիշող սարքում առաջացնում է թռիչքի ժամանակային շեղում սինքրոազդանշանի (CK/CK#) և տվյալները ընտրող ազդանշանի (DQS/DQS#) միջև: Հետևաբար՝ վերը նշված խնդիրը առկա է նաև DDR3 ՍԴԿԸՀ-երում, որը լուծվում է գրանցման կարգավորման (write leveling) հատկությամբ [3, 4]:

DQS/DQS# և CK/CK# ճիշտ փոխդասավորվածության ապահովման համար հիշողության ղեկավարող բլոկը կարող է օգտագործել հիշող սարքի՝ գրանցման կարգավորման հատկությամբ պայմանավորված հետադարձ կապը: Նշված փոխդասավորվածության ապահովման համար հիշողության ղեկավարող բլոկում պետք է լինի հապաղման կարգավորման հանգույց: Հիշող սարքով DQ դողի միջոցով հետադարձ կապի ապահովումն իրականացվում է DQS/DQS#-ի դրական ճակատով CK/CK#-ի ընտրությամբ (նկ.4) [5]:



Նկ. 3. Ներանցումային կառուցվածք



Նկ. 4. ՍԴԿԸՀ-ում գրանցման կարգավորման սխեման

Գրանցման կարգավորման ընթացակարգի ավգորիթմի շնորհիվ կատարվում է DQS/DQS# ազդանշանների հապաղում, որի արդյունքում DQS/DQS#-ի ճակատները համապատասխանեցվում են CK/CK#-ի ճակատներին: Գրականության մեջ հայտնի մեթոդը գծային որոնումն է, որի հետազոտման արդյունքում պարզվել է, որ մեթոդն ունի արդյունքի ձևավորման մեծ ժամանակ: Գծային որոնման դեպքում ցանկալի արդյունքին հասնելու քայլերի քանակը վատագույն դեպքի համար բերված է բանաձև (1)-ում [1]՝

$$T = N, \quad (1)$$

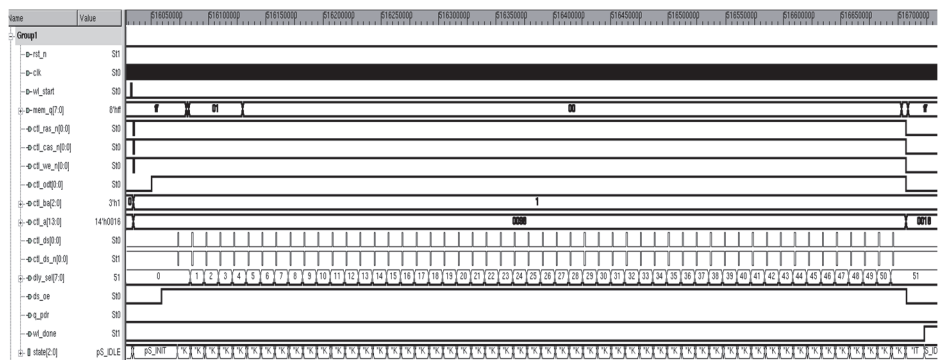
որտեղ N-ը հնարավոր քայլերի քանակն է:

Խնդրի դրվածքը և մեթոդիկայի հիմնավորումը.

- Հետագոտել ՍԴԿԸ-ում գրանցման կարգավորման ընթացակարգի գծային որոնման մեթոդը՝ տվյալների կրկնակի հոսքի համար:

- Առաջարկել նոր մեթոդ՝ հիմնված երկուական որոնման վրա, որը կբարձրացնի արդյունքի հայտնաբերման արագությունը:

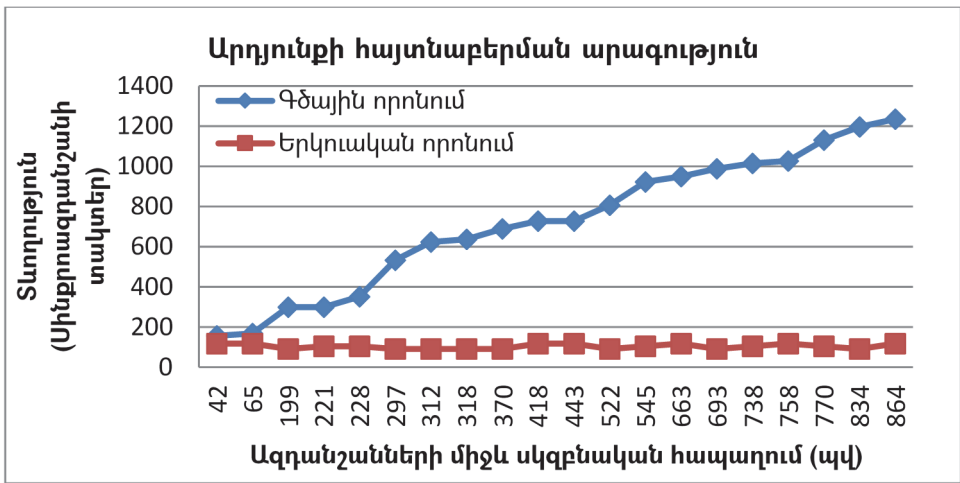
Հետազոտության արդյունքները: Գծային որոնմամբ աշխատող գրանցման կարգավորման սխեմայի մոդելավորումը: Verilog լեզվով նկարագրվել և VCS ծրագրային գործիքի միջոցով նմանակվել է գրանցման կարգավորման սխեման իրագործող վերջավոր վիճակներով ավտոմատը: Գծային որոնման դեպքում գրանցման կարգավորման սխեման հապաղման տարրերի արժեքներն ավելացնում է մեկական քայլով՝ մինչև ցանկալի արդյունքին հասնելը (տվյալների դողի վրա 0-ից 1 փոխանջատում տեսնելը) (նկ.5):



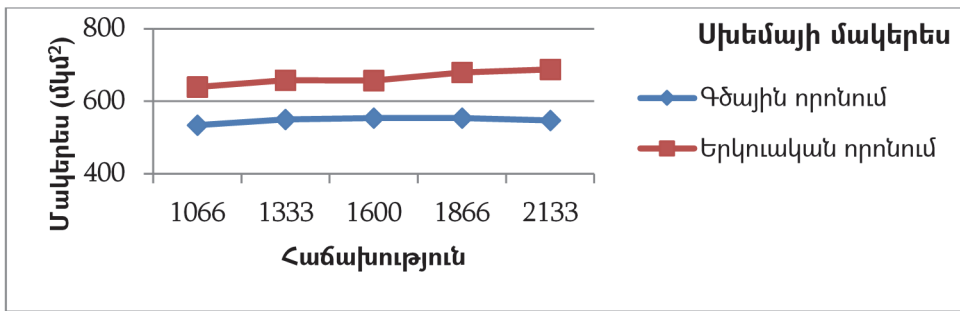
Նկ. 5. Գրանցման կարգավորումը գծային որոնման դեպքում

Ինչպես տեսնում ենք նկ.5-ում, գրանցման կարգավորման սխեման որոնումը սկսում է հապաղման տարրի 0 արժեքից և ցանկալի արդյունքին հասնում է 51 արժեքի դեպքում: Որոնումն ընդգրկում է սինքրոազդանշանի 640 քայլ:

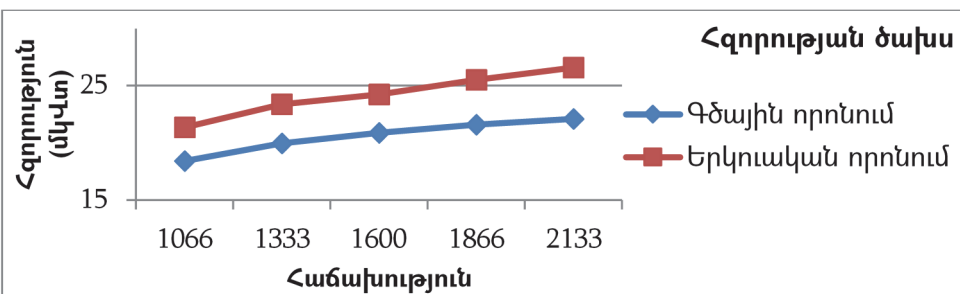
Երկուական որոնմամբ աշխատող գրանցման կարգավորման սխեմայի մոդելավորումը: Առաջարկվում է նոր մեթոդ՝ հիմնված երկուական որոնման վրա, որը որոնումը ևս սկսում է հապաղման տարրի 0 արժեքից և այն ավելացնում է 32-ական քայլերով: Այդ գործողությունը շարունակվում է այնքան ժամանակ, մինչև տվյալների դողի վրա փոխանջատում տեսնելը: Փոխանջատման հայտնաբերումից հետո հապաղման տարրի արժեքը նվազեցվում է, 32 քայլով և սկսվում է երկուական որոնումը (նկ.6): Ինչպես տեսնում ենք նկ.6-ում, գրանց-



Նկ. 7. Երկու մեթոդներով աշխարհող սխեմաների արդյունքի հայտնաբերման արագությունները



Նկ. 8. Երկու մեթոդներով աշխարհող սխեմաների մակերեսները՝ կախված հաճախությունից



Նկ. 9. Երկու մեթոդներով աշխարհող սխեմաների հզորության ծախսերը՝ կախված հաճախությունից

Գծային և երկուական որոնման համեմատությունը բերված է աղյուսակում:

Աղյուսակ

Որոնման տեսակ	Արդյունքի հայտնաբերման արագությունը (տակտ)	Սխեմայի մակերեսը (մկմ ²)	Հզորության ծախսը (մկՎտ)
Գծային	724	547.4262	22.11
Երկուական	103	687.4595	26.591
Տարբերություն (%)	86	20	17

Եզրակացություն.

1. Հետազոտվել է ՍԴԿԸՀ-ում ավտոմատացված գրանցման կարգավորման գծային որոնման մեթոդը: Ցույց է տրվել, որ ընթացակարգն ունի արդյունքին հասնելու ցածր արագություն:

2. Առաջարկվել է արագության բարձրացման նոր մեթոդ, որը հիմնված է երկուական որոնման վրա:

ԳՐԱԿԱՆՈՒԹՅԱՆ ՑԱՆԿ

1. **Parmar V. P.**, Kumbharana. Comparing Linear Search and Binary Search Algorithms to Search an Element from a Linear List Implemented through Static Array Dynamic Array and Linked List.- Gujarat, India, July, 2015.
2. Lattice Semiconductor // Implementing High-Speed DDR3 Memory Controllers in a Mid-Range FPGA. - March, 2010.- P. 1-9.
3. Jedec Standard DDR3 SDRAM JESD79-3C // JEDEC Solid State Technology Association. - November, 2008. - P. 1-70.
4. 2Gb: x4, x8, x16 DDR3 SDRAM Features // Micron Technology. - October, 2014. - P. 112-173.
5. **Chong Y., Wang B.I., Sung Ch., Huang J., Michael H. M. Chu.** Write-leveling implementation in programmable logic devices.- US 11/843,123. 2008. US20080201597 A1.

З.М. АВETИCЯН

**МЕТОД УВЕЛИЧЕНИЯ СКОРОСТИ АВТОМАТИЗИРОВАННОГО
ВЫРАВНИВАНИЯ ЗАПИСИ СИНХРОННО-ДИНАМИЧЕСКОЙ
ПАМЯТИ С ПРОИЗВОЛЬНЫМ ДОСТУПОМ**

Рассмотрена процедура выравнивания записи, имеющая ключевую роль в синхронно-динамической памяти с произвольным доступом (СДППД). Смоделированы и измерены важнейшие параметры в процедуре, в результате чего выявлено, что при достижении результата процедура имеет большую задержку. Для увеличения скорости предлагается изменение алгоритмы процедуры.

Ключевые слова: СДППД, синхросигнал, настройка записи, полетная топология.

Z.M. AVETISYAN

**A SPEED INCREASING METHOD IN AUTOMATED WRITE LEVELING
OF SYNCHRONOUS DYNAMIC RANDOM ACCESS MEMORY**

The procedure of write leveling which has a key role in the synchronous dynamic random access memory (SDRAM) is investigated. The mentioned procedure was modeled and some key parameters were measured. During the investigation, it was found that the procedure has a long delay. For the speed increase, some change is proposed in the write leveling algorithm.

Keywords: SDRAM, clock signal, write leveling, fly-by topology.

UDC 004.08:621.382.3

A.V. AVETISYAN

**READ AND WRITE CYCLE SPEEDUP METHOD FOR PSEUDO
TWO-PORT SRAM WITH A 6T BIT CELL**

Two-port 6T SRAM with improved read/write path is presented. The conventional two-port SRAM (2P-SRAM) with an 8T bit cell deliver has the best speed performance, but on the other hand, in some cases, speed can be degraded. To overcome the speed issue and improve the area, a two-port 6T SRAM is proposed, which can speed up the write/read cycle time by 60% and reduce the area by 14%. The disadvantage of this method is the output delay increase.

Keywords: SRAM: performance; speed: decoder; word line; two-port.

Introduction: Nowadays, high-speed SRAM is broadly used in many areas and intended for the cache memory of server systems and networking or mobile