

Գ.Ե. ԱՅՎԱԶՅԱՆ, Ա.Ա. ՎԱՐԴԱՆՅԱՆ

ՁԱՅՆԱՅԻՆ ԱԼԻՔՆԵՐԻ ԳԵՆԵՐԱՑՈՒՄԸ ԵՎ ՏԱՐԱԾՈՒՄԸ ՄԹՆՈԼՈՐՏՈՒՄ

Գնահատվել է ՋԵՆԻԹ տիպի հակակարկտային սարքավորման գեներատորի կիրառման հնարավորությունը՝ մթնոլորտի ձայնային խորազննման համար: Ներկայացվել են գեներացված ձայնային ալիքների բնութագրերը Երկրի մակերևույթին և դեպի մթնոլորտ բարձրության վրա:

Առանցքային բառեր. ձայնային խորազննում, ձայնային գեներատոր, ալիք, մթնոլորտ:

G.Y. AYVAZYAN, A.A. VARDANYAN

GENERATION AND PROPAGATION OF ACOUSTIC WAVES IN THE ATMOSPHERE

The evaluation of possibility of using Zenith hail-suppression acoustic generators for the atmosphere acoustic sounding has been carried out. The parameters of the acoustic waves at the surface and at altitudes in the atmosphere are presented.

Keywords: acoustic sounding, acoustic generator, wave, atmosphere.

UDC 621.382.3

K.H. SAFARYAN

THE POWER DISTRIBUTION METHOD IN VLSI

Power distribution supplies the power and the ground voltages from pad pins to all circuits in a design. Shrinking device dimensions, faster switching frequency and increasing power consumption in nowadays technologies cause large switching currents to flow in the power and ground networks. Power-supply integrity verification is, therefore, an essential issue in high-performance designs. Due to the resistance of the interconnects constituting the network, there occurs a voltage drop across the network, commonly referred to as the IR drop. The IR drop is predominantly caused by the parasitic resistance of metal wires constituting the on-chip power distribution network.

As a solution the problems described below, a new power distribution method to decrease the IR drop effect in VLSI circuits is described.

Keywords: power distribution, static IR drop, current leakage, power grid, electro-migration, logic gate,

Introduction. In VLSI systems, power network distribution [1] becomes an important stage in small technological nodes. The trend of increasing the power and the clock frequency while reducing the power supply voltage causes the power supply network to experience larger di/dt noise. In modern deep-submicron technologies, the supply voltage variation greatly influences the delay of digital

circuits and can push transistors out of saturation in analog circuits. Since the device threshold voltage does not scale well with the reduced supply voltage in shrinking technologies, the gate current drive becomes more sensitive to the supply voltage variations. Creation of power network will be meet the electro-migration (EM), IR drop, leakage current demands. Power grid voltage variations occur due to the flow of time-varying current through power grid interconnects that contain parasitic resistance, capacitance, and inductance. The major factor of the current is drawn by logic gates in CMOS circuits while making logic transitions. As the logic gates in a circuit share the same power distribution network, switching of a set of gates can create power supply voltage variations at another gate's power supply contacts. A drop in the power supply voltage at the logic gate power supply contact points can decrease the drive strength of the logic gate resulting in an increased delay. Estimation of the worst-case voltage variation is a difficult problem because of the size and complexity of the power supply network and the dependence of the current drawn by the circuit. The quantity of nodes in the power distribution network can be extremely large because every transistor is connected to the power distribution network in an integrated circuit. However, a power grid is typically designed as a hierarchical structure in which the top-level power-grid connects to the macroblocks and the power distribution network inside the macroblock connects to the logic gates. In Figure 1 a classical power network distribution for USB chip is shown. The solution of the problems which are described above should be another approach of creating a power grid. In this structure if we use the same metal layers for creating power distribution, we will have a more protected power grid.

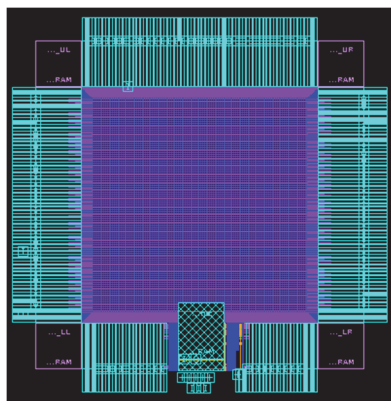


Fig. 1. Power network distribution

The proposed power distribution architecture. The proposed architecture of the power distribution is a new approach. In the existing approach, after creating a floorplan and placing macro blocks and i/o cells, we create power rings, then pre-

routing power i/o-s the power pins to the ring. Power straps which should be connected to power rings and each standard cells in core area are created. In the existing structure there are a lot of issues which cause voltage drop variations. In this new approach, power network creation is a little bit different compared with the existing creation. For USB chips I/O cells are used which have power pins. At the floorplan stage we use a structure which can be used in power creation. In this new structure, after the floorplan stage starting from the left top I/O cell power/ground pins to the right top I/O cell. Creating straps with this new structure as shown in Figure 2 helps to improve voltage variations.

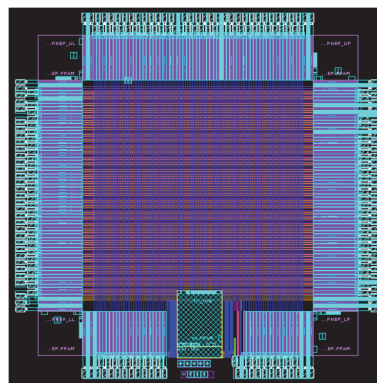


Fig. 2. A new power network distribution method

In this case, we avoid using multiple connection which can prevent full connection of power grid which will cause an IR drop issue.

Simulation Results. Simulation has been performed using the Power Rail analysis tool for USB TC, including SS (slow-slow), with the supply voltage and temperature variations. The simulation results are shown in the Table.

Table

The simulation results of the SS corner

	Classic method	New method
Voltage Drop	5.14mv	4.708mv
Voltage Rise	71.321mv	12.703mv

Conclusion. In this paper, new structures of Power Network distribution are considered. The proposed method decreases static the IR drop compared with the existing power distribution architecture. This will make the circuits more power-efficient. In the worst case corner, without the new distribution method the IR drop is 5.14mv, with this method it will be 4.708mv for USB TC. The method can be used in VLSI circuits with a wire bonding structure.

REFERENCES

1. **Popovich M., Friedman E.G., Sotman M. and Kolodny A.** On-Chip Power Distribution Grids with Multiple Supply Voltages for High Performance Integrated Circuits //Proceedings of the ACM/IEEE Great Lakes Symposium on VLSI. – 2005. – P. 2-7.
2. **Bai G., Bobba S. and Hajj I.N.** RC power bus maximum voltage drop in digital VLSI circuits //Proceedings on International Symposium on Quality Electronic Design. – 2001. -P.205-210.
3. **Chen H. and Ling D.** Power Supply Noise Analysis Methodology for Deep-submicron VLSI Chip Design //Proceedings of Design Automation Conference. -1997. -P.638-643.

Կ.Հ. ՍԱՖԱՐՅԱՆ

ԳԵՐՄԵԾ ԻՆՏԵԳՐԱԼ ՍԻՆՏԵԱԼՆԵՐԻ ՄԵՏՈԴՄԱՆ ՑԱՆՅԵՐԻ ՆԱԽԱԳԾՄԱՆ ՄԵԹՈԴ

Ժամանակակից ինտեգրալ սխեմաներում (ԻՍ) սնուցման ցանցերի ճիշտ նախագծումից է կախված ինտեգրալ սխեմայի աշխատունակությունը: ԻՍ-երում առկա են բազմաթիվ խնդիրներ՝ կապված սնման լարման արժեքի, օգտագործվող տրանզիստորների չափերի փոքրացման հետ: Առավել նշանակալից են՝ սնուցման ցանցերում լարման անկման խնդիրները, էլեկտրամիգրացիան և ցրման հոսանքները: Աշխատանում կարևորվել է սնուցման ցանցերի նախագծման նոր եղանակի ստեղծումը, որի արդյունքում կունենանք ավելի հուսալի սնուցման ցանցով ինտեգրալ սխեմաներ: Առաջարկվող նոր եղանակը փոքրացնում է սնուցման ցանցերի վրա և՛ ստատիկ, և՛ դինամիկ լարման անկման արժեքները:

Առանցքային բաներ. սնուցման ցանց, ինտեգրալ սխեմա, լարման անկման խնդիրներ, ցրման հոսանք, էլեկտրամիգրացիա:

К.Г. САФАРЯН

МЕТОД РАСПРЕДЕЛЕНИЯ ПИТАНИЯ В СВЕРХБОЛЬШИХ ИНТЕГРАЛЬНЫХ СХЕМАХ

В современных интегральных схемах (ИС) их работоспособность ис зависит от правильного проектирования блоков питания. В современных ИС существует множество проблем, связанных с суммой напряжения питания и с уменьшением размеров используемых транзисторов. Одной из наиболее важных проблем является проблема снижения напряжения в блоках питания, электромиграции и тока утечки. В данной статье внимание сосредоточено на создании новых методов проектирования блоков питания, в результате чего получена интегральная схема с более надежным блоком питания. Предлагаемый новый метод уменьшает и статические, и динамические снижения сумм напряжения на блоках питания.

Ключевые слова: напряжения в блоках питания, электромиграция, ток утечки.