

Դ.Ռ. ԲԱԲԱՅԱՆ

ՀԱՄԱՊԻՏԱՆԻ ՀԱՋՈՐԴԱԿԱՆ ԴՈՂԻ ԹՎԱՅԻՆ ՄԻՋՈՒԿԻ ՆԱԽԱԳԾՈՒՄ՝ ՑԱԾԻ ԷՆԵՐԳԱՍՊԱՌՄԱՆ ՄԵԹՈԴՆԵՐՈՎ

Մշակվել և նախագծվել է համապիտանի հաջորդական դոլի թվային միջուկը՝ կիրառելով ցածր էներգասպառման երկու մեթոդներ: Բազմասնուցում նախագծման մեթոդի և հզորության շրջափակման մեթոդի համատեղ կիրառմամբ ստացվել է ստատիկ և դինամիկ հզորության նվազում: Ժամանակային պարամետրերը մնացել են անփոփոխ՝ համապատասխան տեխնիկական առաջադրանքին:

Առանցքային բառեր. համապիտանի հաջորդական դոլ, թվային միջուկ, ցածր էներգասպառմամբ նախագծում:

Ներածություն: Տարրերի թվի և խտության կտրուկ մեծացումը ինտեգրալ սխեմաներում հարկադրել է նվազարկել ծախսվող հզորությունը: Լայն տարածում գտած սարքերում, ինչպիսիք են դյուրակիր համակարգիչները, բջջային հեռախոսները, հզորության սահմանափակման պատճառ է հանդիսանում ԻՍ-երի անթույլատրելի տաքացումը, ինչպես նաև մարտկոցներից էներգիայի սպառումը սահմանափակ ռեսուրսներով: Սարքում ծախսվող հզորության նվազարկումն այսօր դարձել է դյուրակիր սարքերում օգտագործվող գերմեծ ԻՍ-երի նախագծման գերխնդիր: Բարձր արտադրողականության տվյալների մշակման պրոցեսորների, ազդանշանների թվային մշակման պրոցեսորների, համապիտանի հաջորդական դոլում/թվային միջուկի և այլ թվային մեծ ԻՍ-երի նախագծման գործընթացում հիմնական նպատակ է դառնում ծախսվող հզորության նվազեցումը [1]:

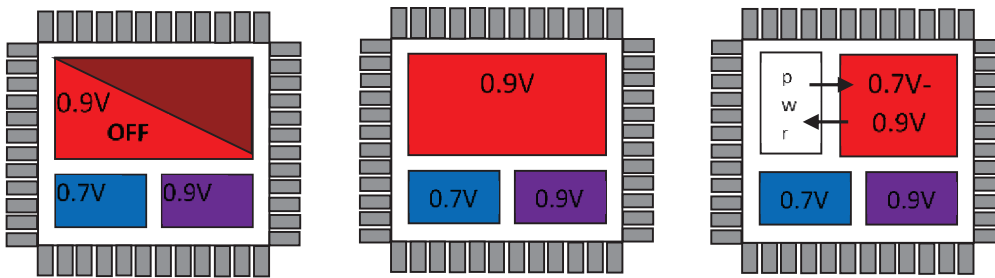
Ինչպես հայտնի է, ցրվող հզորությունը և անջատվող ջերմաքանակը ուղիղ համեմատական են տակտավորման հաճախականությանը, որը գնալով աճում է: Հետևաբար, ԻՍ-ի արագագործության աճին զուգընթաց պետք է օգտագործել համապատասխան պատյաններ և հովացման միջոցներ բավարար չափով ջերմահեռացման համար, իսկ դա բարձրացնում է ԻՍ-ի ինքնարժեքը:

Ցածր էներգասպառմամբ նախագծման հիմնական եղանակները: Թվային համակարգերում հզորության ցածր սպառման հասնելու համար օգտագործում են նախագծման մեթոդների լայն բազմություն՝ սկսած տրանզիստորների մակարդակներից մինչև ալգորիթմների մակարդակը: Հզորության ծախսի նվազեցման համար օգտագործվում են մի շարք մեթոդներ. դրանք կարող են օգտագործվել ինչպես միաժամանակ, այնպես էլ առանձին տեխնոլոգիաներով (նկ. 1): Այդ մեթոդներն են.

- տակտային ազդանշանի անջատում,
- հզորության շրջափակմամբ նախագծում,
- բազմասնուցում նախագծում,

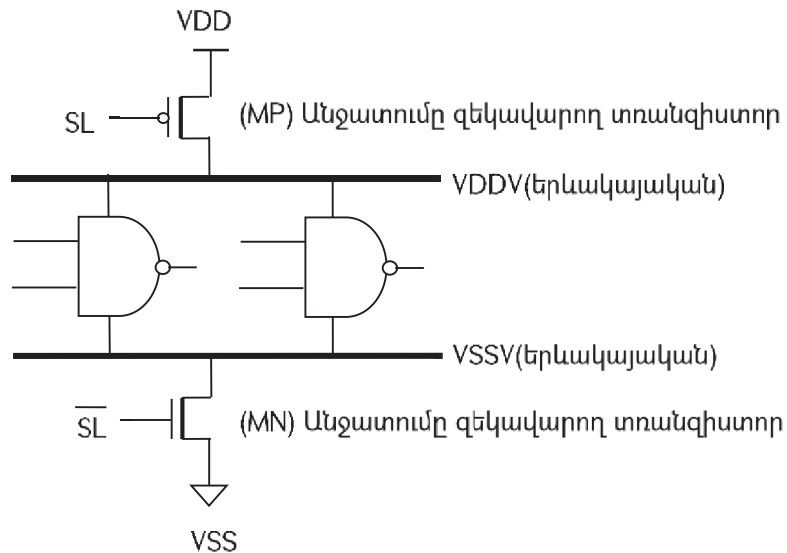
➤ բազմաշեմային նախագծում:

Բազմասնուցում նախագծման դեպքում ամբողջ նախագիծը բաժանվում է առանձին մասերի, որոնք ունեն սնուցման տարբեր լարումներ: Այս մեթոդը հիմնված է այն փաստի վրա, որ եթե բլոկների լարումները լինեն ցածր, ապա դրանք կսպառեն քիչ հզորություն, բայց կկորցնեն արտադրողականությունը: Համաձայնեցումը արտադրողականության և հզորության միջև կարող է արվել տարբեր բլոկներում տարբեր լարումներ կիրառելով: Ամենապարզ բազմասնուցման լարման մեթոդը տարբեր բլոկների համար բազմաթիվ լարումների օգտագործումն է, երբ լարումը մնում է հաստատուն ամբողջ գործողության ընթացքում: Բազմասնուցում նախագծման համար կան բազմաթիվ մոտեցումներ: Առաջին մոտեցումը լարման և հաճախության դինամիկ փոփոխությունն է: [2] Այս դեպքում օգտագործվում է հզորության կառավարումը, և կախված ներկայացվող պահանջներից՝ մատակարարվող լարումը առանձին բլոկներում կարող է աճել կամ նվազել: Որևէ բլոկում մատակարարվող լարման ցածր լինելու դեպքում կարող է առաջանալ գործող հաճախության իջեցման անհրաժեշտություն, իսկ ոչ կրիտիկական բլոկներում կարող են երկուսն էլ անջատվել:



Նկ. 1. Բազմասնուցում նախագծման եղանակները

Ցրվող հզորությունը նվազեցնելու մեկ այլ մեթոդ է որոշ բլոկներում սնուցման անջատումը, երբ այդ բլոկները գտնվում են ոչ աշխատանքային վիճակում (նկ. 2): Այս մոտեցումը հայտնի է որպես հզորության շրջափակմամբ նախագծում: Հզորության շրջափակմամբ նախագծում, սխեմայի հանգստի վիճակում գտնվող հատվածները սնուցումից անջատելու համար, օգտագործվում են “անջատման” տրանզիստորներ:



Նկ. 2. Հզորության անջատման կիրառման օրինակ

“Անջատման” տրանզիստորները կարող են լինել N-ՄՕԿ կամ P-ՄՕԿ, որոնք միացվում են միշտ ակտիվ վիճակում գտնվող հիմնական սխեմայի մատակարարող հզորությանը, որն ընդունված է անվանել “երևակայական մատակարարվող սնուցում”: Երբ SL ազդանշանը ցածր մակարդակում է, սխեման գտնվում է ակտիվ վիճակում: Այս դեպքում MP և MN “անջատման” տրանզիստորները բաց են, և VDDV և VSSV երևակայական սնուցման և հողի դողերը գործում են այնպես, ինչպես VDD և VSS իրական սնուցման և հողի դողերը: Հանգստի վիճակում SL ազդանշանը բարձր է կամ 1 է, MP և MN “անջատման” տրանզիստորները փակ են, և առկա է զգալիորեն փոքր կորստի հոսանք, քանի որ չկա ուղիղ կապ իրական և երևակայական սնուցման և հողի միջև:[3] “Անջատման” տրանզիստորները կարող են կիրառվել հզորության շրջափակմամբ նախագծման կամ կոպտակառույց (կոպիտ-կառուցվածքով, coarse-grain) դիզայնում, կամ նրբակառույց (նուրբ-կառուցվածքով fine-grain) դիզայնում:

Համապիտանի հզորության ձևաչափ (UPF): Համապիտանի հզորության ձևաչափը (<<2) թույլ է տալիս հաշվի առնել ցածր հզորությամբ հատուկ մեթոդները նախագծի կառուցման, վերլուծման և ստուգման ընթացքում: Այս ձևաչափի կիրառումը ընկած է նաև տրամաբանական և ֆիզիկական նախագծման գործիքներով ցածր հզորությամբ նախագծման հիմքում:[3] <<2-ի միջոցով տրվում են հզորության կղզյակները, յուրաքանչյուր կղզյակին բնորոշ հզորության հանգույցները, ինչպես նաև փոխանցատիչները: Սա կատարվում է հզորության տարածման ճարտարապետության կառուցման փուլում: <<2-ի հաջորդ կարևոր դերն է հզորության աղյուսակների

կառուցումը, որտեղ սահմանվում են լարման արժեքները սարքի աշխատանքի տար-
բեր վիճակների համար (նկ. 3): Վերջապես, ՀՀԶ-ի միջոցով են նախագիծ ներմուծ-
վում բոլոր հիմնական ցածր հզորությամբ նախագծման հատուկ տարրերը:



Նկ. 3. Նախագծման գործընթացը ՀՀԶ կիրառմամբ

Համապիտանի հաջորդական դողի (ՀՀԴ) թվային միջուկը: Համապիտանի
հաջորդական դողի թվային միջուկը կատարում է հիմնականում ազդանշանի՝ թվա-
յին վերլուծությունը, հաջորդականից զուգահեռ, զուգահեռից հաջորդական փոփո-
խությունները և բաղկացած է հետևյալ ենթաբլոկներից՝

1. սքան մուքս,
2. ռեսեր լոգիք,
3. սերիալայզեր,
4. դեսերիալայզեր:

Հետազոտության ընթացքում պարզվել է, որ սերիալայզեր և դեսերիալայզեր
սխեմաները պարունակում մեծ քանակով ռեգիստրներ, քանի որ կազմված են պահ-
պանող և փոխանցող ռեգիստրների փնջից: [4] Տվյալ բլոկներն ընտրվել են թվային
միջուկից՝ որպես ցածր սնուցման կղզյակ: Տվյալ կղզյակում բոլոր ռեգիստրները փո-
փոխվելու են վիճակի պահպանման ռեգիստրներով, որոնք ավելի էներգախնայող
են և կարող են պահպանել իրենց մեջ գրանցված արժեքը նույնիսկ այն ժամանակ,
երբ տվյալ կղզյակը անջատման սխեմաների միջոցով կտրված է սնման լարումից:
Տրամաբանական և ֆիզիկական նախագծման փուլերում ՄՀԶ նկարագրության մի-
ջոցով ինտեգրվել են ցածր էներգասպառման երկու մեթոդները միաժամանակ: Սխե-
ման բոլոր տարբերակներում սինթեզվել է 300 Մհց տակտային հաճախությամբ:

Սխեմայի սինթեզը՝ դասական մեթոդով

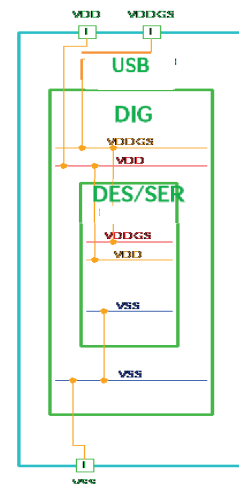
Այս դեպքում սինթեզի Design Compiler ծրագրային գործիքին տրվել է 0.95Վ
լարման համար բնութագրված գրադարան:

Պարամետրեր	Ընդհանուր
Հզորություն (power)	32.3
Ժամանակ (timing)	300 Մհց/3.5
Մակերես (area)	116.579252

Բազմասնուցում նախագծում և հզորության շրջափակմամբ նախագծում:

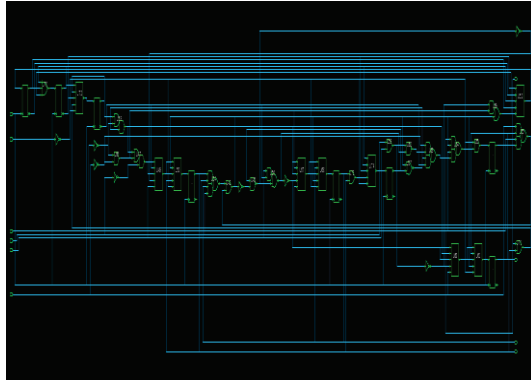
Սինթեզի Design Compiler ծրագրային գործիքին տրվել է գրադարաններ, որոնք իրարից տարբերվում են տրամաբանական փականներում օգտագործված լարումներով (նկ. 4): Տրվել են ցածր և բարձր լարումներով գրադարաններ (նկ. 5): Սինթեզի գործիքը օպտիմալացնելիս, կախված սխեմային տրված սահմանափակումներից, հնարավոր է լինում օգտագործել լարման փոխակերպիչներ տարբեր լարումներով տիրույթներում և վիճակի պահպանման ռեգիստրներ՝ կատարելով հնարավորինս օպտիմալ սինթեզ (նկ.6):

```
## CREATE POWER DOMAINS
create_power_domain TOP
create_power_domain GPRS -elements
GPRS
create_supply_port VDD
create_supply_net VDD -domain TOP
connect_supply_net VDD -ports VDD
create_supply_port VSS
create_supply_net VSS -domain TOP
create_supply_net VSS -domain GPRS -
reuse
connect_supply_net VSS -ports VSS
create_supply_net VDD -domain GPRS -
reuse
create_supply_port VDDGGS
create_supply_net VDDGGS -domain TOP
create_supply_net VDDGGS -domain GPRS
-reuse
connect_supply_net VDDGGS -ports
VDDGGS
set_domain_supply_net TOP -
primary_power_net VDD -
primary_ground_net VSS -
set_domain_supply_net GPRS -
primary_power_net VDDGGS -
primary_ground_net VSS -
add_port_state VSS -state {GND 0}
add_port_state VDD -state {HV 0.95}
add_port_state VDDGGS -state {LV 0.7} -
state {OFF off}
add_port_state gprs_sw/out -state {LV 0.7}\
-state {OFF off}
```

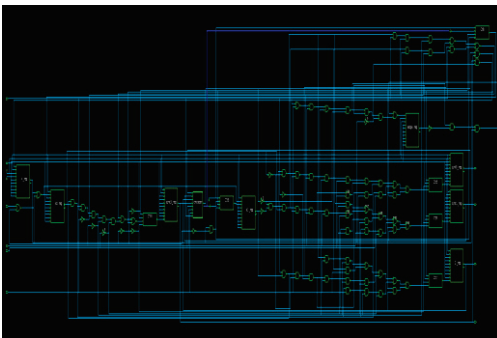


Նկ. 4. Միասնական հզորությամբ ձևաչափի դիագրամ՝ բազմասնուցում նախագծմամբ մեթոդի կիրառմամբ

*Միասնական հզորության ձևաչափ՝
բազմասնուցում նախագծման համար*



Նկ. 5. Տրամաբանական նախագիծ բազմասնուցում նախագծմամբ տիրույթ



Պարամետրեր	Ընդհանուր
Հզորություն (power)	13.4
Ժամանակ (timing)	300 Մհց/4
Մակերես (area)	130.579252

6. Տրամաբանական նախագիծ՝ հզորության շրջափակմամբ նախագծմամբ տիրույթ

Եզրակացություն.

- Սինթեզվել է ՀՀԴ 2 թվային միջուկը՝ ցածր էներգասպառմամբ նախագծման 2 մեթոդներով:
- Ստացված յուրաքանչյուր սխեմայի համար կատարվել է մուտքից ելք վիճակագրական ստատիկ ժամանակային վերլուծություն:
- Ստացված սխեմաները հետազոտվել են ըստ սպառվող հզորության, մուտքից ելք ստատիկ ժամանակային վերլուծության և մակերեսի:
- Ամենափոքր հզորությունը՝ 13.4մկՎտ, սպառում է հզորության շրջափակմամբ և բազմասնուցում նախագծմամբ սինթեզված սխեման, իսկ ամենամեծը՝ 32.3մկՎտ, դասական մեթոդով սինթեզված սխեման, ապահովելով 41% նվազում:

ԳՐԱԿԱՆՈՒԹՅԱՆ ՑԱՆԿ

1. **De V., Borkar S.** Technology and design challenges for low power and high performance // International Symposium on Low Power Electronics and Design. - San Diego, 1999. - P. 163-168.
2. **Melikyan V., Babayan D., Babayan E., Petrosyan P.** 32/28 nm Low Power ORCA Processor with Multi-Voltage Supply // ICSMN.- 2015. –P. 123-127.
3. **Melikyan V.Sh., Babayan E.H.** Low power design of digital ICs based on SAED 90nm Educational Design Kit. – The Printing-house of State Engineering University of Armenia (Polytechnic), 2012. -78p.
4. **Anderson D.** Universal Serial Bus System Architecture, 1997.

Д.Р. БАБАЯН

ПРОЕКТИРОВАНИЕ ЦИФРОВОГО ЯДРА УНИВЕРСАЛЬНОЙ ПОСЛЕДОВАТЕЛЬНОЙ ШИНЫ МЕТОДАМИ НИЗКОГО ЭНЕРГОПОТРЕБЛЕНИЯ

Разработано и спроектировано цифровое ядро универсальной последовательной шины с использованием двух методов низкого энергопотребления. Совместно используемыми методами многоисточникового питания и блокирования мощности получено снижение статической и динамической мощностей. Временные параметры остались неизменными в соответствии с техническим заданием.

Ключевые слова: универсальная последовательная шина, цифровое ядро, методы низкого энергопотребления.

D.R. BABAYAN

USB DIGITAL CORE DESIGN BY THE LOW POWER CONSUMPTION METHODS

The paper presents the design of USB digital core using two low power methods. Multi voltage design and power gating design methods are combined to achieve static and dynamic power reduction. The timing parameters have remained unchanged according to the technical task.

Keywords: universal serial bus, digital core, low power design methods.