

Գ.Հ. ԿԻՐԱԿՈՍՅԱՆ, Ա.Գ. ՔԱՄԱԼՅԱՆ

**ՋՐԱՄԲԱՐՈՒՄ ՋՐԻ ՄԱԿԱՐԴԱԿԻ ԿԱՌԱՎԱՐՄԱՆ ՄԻԿՐՈՊՐՈՑԵՍՈՐԱՅԻՆ
ՀԱՄԱԿԱՐԳԻ ՄՇԱԿՈՒՄԸ**

Դիտարկվում է ջրհան աշտարակը, որի ջրամբարից դուրս են գալիս մի ամբողջ շարք ճյուղավորումներով խողովակներ, որոնք մտնում են տարբեր հողատարածքներ: Մշակվել է ջրամբարում ջրի մակարդակը կարգավորող միկրոպրոցեսորային համակարգ: Ստացվել են միավոր հետադարձ կապով համակարգի զուգամիտող անցումային բնութագրերը:

Առանցքային բառեր. միկրոպրոցեսորային համակարգ, ջրահան աշտարակ, ջրամբար, ջրի մակարդակ, փոխանցման ֆունկցիա, ՀԻԴ կարգավորիչ, Բոդեի դիագրամներ:

G.H. KIRAKOSYAN, A.G. KAMALYAN

**DEVELOPING A MICROPROCESSOR SYSTEM FOR WATER LEVEL
CONTROL IN THE RESERVOIR**

This paper examines a water tower, where pipes run from the reservoir with a number of branches introduced into different plots of land. A microprocessor system for regulating the water level in the reservoir has been developed. The convergent transient characteristics of a closed-loop system with unit feedback are obtained.

Keywords: microprocessor system, water tower, reservoir, water level, transfer function, PID controller, Bode diagrams.

ՀՏԴ 681.3

Ա.Կ. ՍԱՂԱԹԵԼՅԱՆ, Ա.Հ. ՀԱՄԱԶԱՍԴՅԱՆ, Ա.Գ. ՔԱՄԱԼՅԱՆ

**ՍՈՒՊԵՐՍԿԱԼՅԱՐ ՊՐՈՑԵՍՈՐԻ ՆԵՐՔԻՆ ՌԵԳԻՍՏՐՆԵՐԸ ՁԵՎԱՎՈՐՈՂ
ՍԱՐՔԵՐԻ ՄՇԱԿՈՒՄԸ ԵՎ ԱՊԱՐԱՏԱՅԻՆ ԻՐԱԳՈՐԾՈՒՄԸ**

Ուսումնասիրվում են սուպերսկալյար պրոցեսորի (IA-64) ներքին ռեգիստրները ձևավորող սարքերի ապարատային իրագործման հարցերը: Իրականացվել են սուպերսկալյար պրոցեսորների ներքին ռեգիստրները ձևավորող բլոկի կառուցվածքային մշակումները, մասնավորապես՝ ընդհանուր նշանակության, ղեկավարման, վիճակի ռեգիստրները ձևավորող սարքերի, այսինքն այն ներքին ռեգիստրների կառուցվածքային սխեմաները, որոնց աշխատանքի կազմակերպումն իրականացվում է նաև ապարատային միջոցներով: Մշակված են նախագծված սարքերի կառուցվածքային սխեմաները, գնահատված են արագագործությունը և ապարատային ծախսերը FPGA ռեսուրսների տեսակետից:

Առանցքային բառեր. սուպերսկալյար պրոցեսորներ, պրոցեսորի ներքին ռեգիստրներ, դրոշակների ռեգիստր, վիճակի ռեգիստր, FPGA ռեսուրսներ:

Ներածություն: Սուպերսկալյար պրոցեսորներում բազմաբնույթ ֆունկցիոնալ հնարավորություն ունեցող ռեգիստրների աշխատանքի կազմակերպման

հետազոտումը և դրանց իրականացումը նպաստում են պրոցեսորի արագագործության բարձրացմանը, ինչը, իր հերթին, հանգեցնում է պրոցեսորի արտադրողականության ավելացմանը: Օրինակ՝ հրամանների կոնվեյերային մշակման ժամանակ դրոշակների ռեգիստրում արտացոլված գործողության արդյունքը կարող է դիտարկվել որպես անցումային հրամանների արագ կանխատեսման նախապայման, ինչը նպաստում է կոնվեյերում կոնֆլիկտների քանակի նվազեցմանը և, հետևաբար, արագագործության բարձրացմանը: Ընդհանուր նշանակության ռեգիստրներում պահվող տվյալ պահին մշակվող ենթաճրագրի հրամանները կամ տվյալները հանգեցնում են նաև օպերատիվ հիշողության դիմումների քանակի նվազեցմանը և այլն:

Հրամանների համակարգի ճարտարապետությունը (ISA- Instruction Set Architecture) ծրագիրը գրելու ընթացքում ծրագրավորողին տեսանելի հրամանների համակարգը և ֆորմատներն են, տվյալների ներկայացման ձևերը, օպերանդների հասցեավորման եղանակները, հիշողության, մուտք/ելքի կազմակերպումը և այլն: ISA-ի տեսակետից գոյություն ունի ճարտարապետությունների երեք տեսակ՝ CISC (Complete Instruction Set Computers), RISC (Reduced Instruction Set Computers) և VLIW (Very Long Instruction Word):

Սուպերսկալյար ճարտարապետությունը տարբերվում է նրանով, որ հրամանների կատարման զուգահեռականացումը որոշվում է ոչ թե սարքավորումներում հրամանների կատարման փուլում, այլ կոմպիլյատորով՝ կողի գեներացման փուլում: Հրամանները շատ երկար են և պարունակում են ակնհայտ հրահանգներ՝ որոշ ենթահրամանները մի քանի օպերացիոն սարքերի մեջ զուգահեռականացնելու համար: Փաստորեն, սուպերսկալյարությունը ենթադրում է մի քանի ֆունկցիոնալ բլոկների զուգահեռ գործողություն, ինչը հնարավոր է միայն միաժամանակ կատարվող մի քանի սկալյար հրամանների դեպքում: Վերջին պայմանը լավ զուգակցված է կոնվեյերների մշակման հետ, մինչդեռ ցանկալի է, որ այդպիսի մի քանի կոնվեյերներ լինեն, օրինակ՝ երկու կամ ավելի:

Հետազոտելով ժամանակակից սուպերսկալյար պրոցեսորների ներքին ռեգիստրների տեսակները և ձևավորման սկզբունքները, կարելի է դասակարգել հետևյալ դրույթները.

- Ներքին ռեգիստրները դասակարգվում են երկու տիպերի՝ ըստ հասանելիության սկզբունքի՝ ծրագրային հասանելի և ոչ հասանելի ռեգիստրներ:
- Հասանելիություն ունեցող ռեգիստրների դասին են պատկանում վիճակի, ղեկավարման, ընդհանուր նշանակության ռեգիստրները և այլն:
- Դիտարկված որոշ ռեգիստրներն ապահովում են «պրոցեսոր-հիշողություն» կապը (CR3, CR2, GPRs և այլն), իսկ մյուսներն իրականացնում են

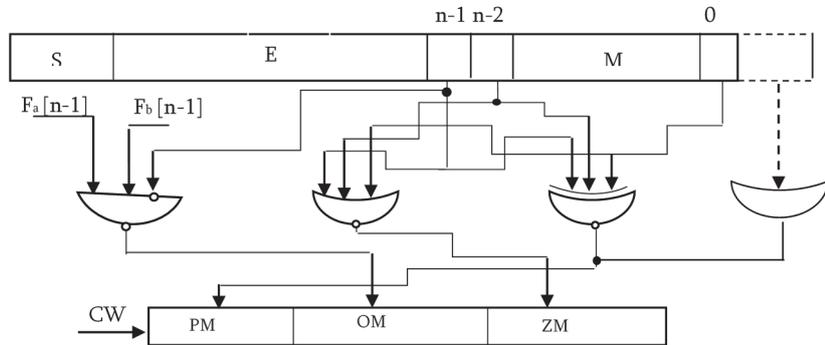
պրոցեսորի ներքին բլոկների կապերի ապահովումը (դրոշակների ռեգիստրեր՝ ALU, SW1, SW2 և այլն):

Ընդհանուր նշանակության ռեգիստրները (GPRs) վերաբերում են կիրառական ծրագրերի համար տեսանելի x86-ճարտարապետության հատվածին: AX, BX, CX, DX- ը 16-կարգանի ռեգիստրներ են: Կարելի է դիմել նրանց ավագ կամ կրտսեր բայթերին՝ AH, BH, CH, DH- ը (High), AL, BL, CL, DL- ը (Low): IA-32 պրոցեսորներում այս ռեգիստրներն ընդլայնված են մինչև 32 բիթ, ու դրանց նախկին անվանումներին ավելացել է E նախածանցը՝ E-Extended: Ռեգիստրների ավագ կարգերը, այսինքն 31-16 բիթերը, հասցեավորել չի կարելի:

FPU բլոկը (Floating Point Unit) նույնպես պարունակում է տարբեր նշանակության մի շարք ռեգիստրներ: Այս ռեգիստրներն օգտագործվում են օպերանդները պահելու, ղեկավարելու և կարգավիճակը (statuse) գրանցելու համար: Մաթեմատիկական համապրոցեսորը պարունակում է ընդհանուր նշանակության 80-բիթանի ռեգիստրներ՝ R0 – R7, որոնք ձևավորում են հատուկ ստեկի ռեգիստր: Ստեկի ռեգիստրները նշանակվում են ST0 – ST7 և ասոցիացվում ֆիզիկական ռեգիստրների հետ՝ **R0 - R7** աճման կարգով: Ռեգիստրի համարը համապատասխանում է ստեկի գագաթում (TOP_SW) տեղակայված ստեկի ռեգիստրի համարին: Բացի դրանից, յուրաքանչյուր **R0..R7** ռեգիստրին համապատասխանում է երկբիթանի դաշտ տեգի TW ռեգիստր դաշտում: FPU- ն ներառում է ՂԱ (ղեկավարող սարք), օպերացիոն բլոկ, ստեկի 8 ռեգիստրներ՝ R0 - R7, ղեկավարման ռեգիստրներ՝ CW, վիճակի ռեգիստրներ՝ SW, տեգերի ռեգիստր՝ TW, հրամանի ցուցիչ՝ IP և տվյալների ցուցիչ՝ DP:

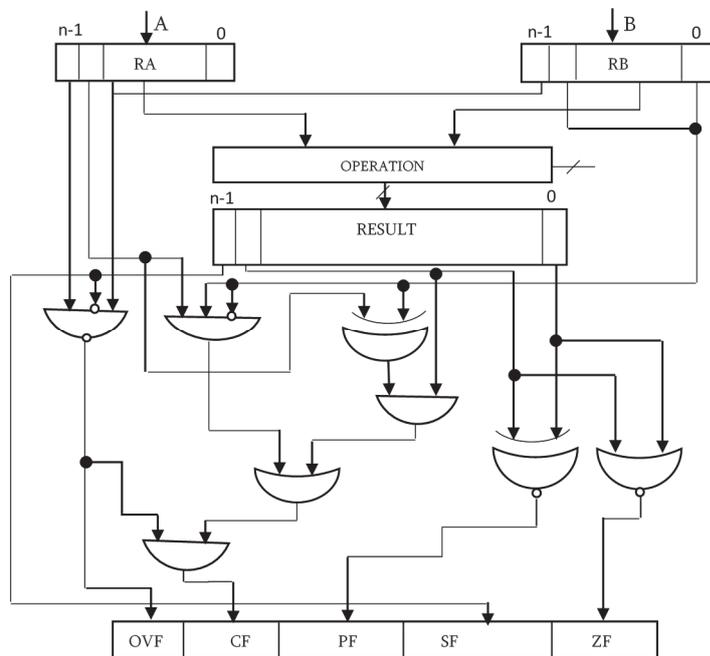
Ղեկավարող ռեգիստրները՝ (Control registers) CR0, CR1, CR2, CR3, CR4 պահում են պրոցեսորի վիճակի նշանները, որոնք ընդհանուր են բոլոր խնդիրների դեպքում, ինչպես նաև հնարավորություն են տալիս կամ անջատում են համապրոցեսորի որոշակի գործողություններ [7]: FPU բլոկում դրոշակների ռեգիստրը ձևավորող սարքի կառուցվածքային սխեման մանտիսայի հատվածի համար ներկայացված է նկ. 1-ում:

Արդյունքի մանտիսայի արժեքն արտացոլվում է ղեկավարող ռեգիստրի (control word) համապատասխան բիթերում: OM և ZM դրոշակները ստացվում են մանտիսայի գերլցումը և 0- ի հավասար լինելը վերլուծելու ընթացքում:



Նկ. 1. CW ռեգիստրի քիթերի ձևավորման կառուցվածքային սխեման

Դրոշակների ռեգիստրը (EFLAGS) հատուկ ռեգիստր է, որում, կախված թվաբանական կամ տրամաբանական գործողության արդյունքից, տեղակայվում է 1 կամ 0: Ավտոմատ կերպով համապարոցեցություն փոխվում է մաթեմատիկական գործառույթներից հետո. այն թույլ է տալիս որոշել արդյունքների տիպը և ծրագրի մյուս մասերին փոխանցման հսկողության վիճակը: Նկ. 2-ում ներկայացված է սարքի կառուցվածքը, որը ձևավորում է ամբողջ թվերի հետ թվաբանական գործողության արդյունքի վերլուծությունը և դրոշակների ռեգիստրում նրա արտացոլումը:



Նկ. 2. Ամբողջ թվերի դրոշակների ռեգիստրի ձևավորման կառուցվածքային սխեման

Դրոշակների ռեգիստրը ներկայացված է հետևյալ ֆորմատի միջոցով.

OVF	CF	PF	SF	ZF
-----	----	----	----	----

Այդ դրոշակներն են՝ CF (Carry Flag), PF (Parity Flag), AF (Auxiliary carry Flag՝ կրտսեր տետրադից տեղափոխման կամ փոխառության դեպքում), ZF (Zero Flag), SF (Sing Flag), OF (Overflow Flag) [2,5]:

Վիճակի ռեգիստրի (SW) համապատասխան բիթերում ձևավորվում է սահող ստորակետով թվերի հետ գործողության կարգաթվի հատվածը: Այդ բիթերը համընկնում են դրոշակների ռեգիստրի SF, PF բիթերին, որոնք ստացվում են արդյունքի նշանի և մանտիսի զույգության վերլուծության միջոցով, իսկ OF և ZF դրոշակները ստացվում են կարգաթվի գերլցումը և 0-ի հավասար լինելը վերլուծելու ընթացքում [4]: Կիրառվում է նույն տրամաբանությունը, որը մշակվել է ամբողջ թվերի գործողության համար:

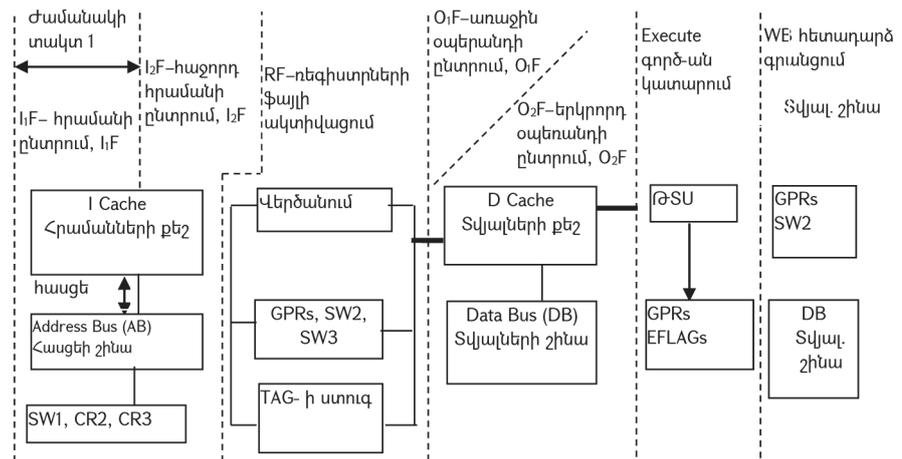
Նկ. 3-ում ներկայացված է ասեմբլերով գրված հրամանի կոնվեյերային մշակման ընթացքում պրոցեսորի ներքին ռեգիստրների ակտիվացման/ լրացման գործընթացը: Կոնվեյերացման ժամանակ յուրաքանչյուր հրամանի մշակման համար իրականացվում են կոնվեյերի 5 կամ 6 փուլեր (կախված ճարտարապետությունից): Մշակվող հրամանի հասցեն տեղակայվում է IP ռեգիստրում, և հասցեի շինայի (ABUS)-ի միջոցով ձևավորվում է այդ հրամանի վիրտուալ հասցեն, որը տեղակայվում է CR2 ռեգիստրում: Այնուհետև իրականացվում է վիրտուալ հասցեի ձևափոխումը ֆիզիկականի, և ֆիզիկական հասցեն տեղակայվում է CR3 ռեգիստրում: Ձևավորված ֆիզիկական հասցեով կոնվեյերի IF փուլում նշված հրամանն ընտրվում է հիշողությունից և գրանցվում SW1(state word) ռեգիստրում: SW1 ռեգիստրի ավագ m բիթերը տեղափոխվում են վերձանիչի m մուտքերին, և իրականացվում է հրամանի կոդի վերձանում (D) փուլը: Վերձանման փուլից հետո պարզ է լինում, թե պրոցեսորի որ սարքը պետք է մշակի տվյալ վերձանված հրամանը՝ ԹSU- ում, անցումային հրամանների մշակման բլոկում, մուտքի/ելքի սարքերում և այլն:

Եթե հրամանը ԹSU-ի հրաման է, ապա այն տեղակայվում է SW2 ռեգիստրում, որն ակտիվացնում է ստեկային կազմակերպմամբ հիշողությունը և այդ ռեգիստրի ToS (ստեկի գագաթ) բիթերը, որոնք նշում են ստեկում միջանկյալ արդյունքների պահման ամենաբարձր տողի հասցեն: Մինչև ԹSU-ում գործողության կատարումը՝ կոնվեյերն անցնում է տվյալ հրամանի OF փուլին և տվյալների շինայի (DBUS)-ի միջոցով կատարում է դիմում հիշողությանը: Հրամանի միջանկյալ հատվածը տեղակայվում է SW3 ռեգիստրում, որտեղ նշվում են անհրաժեշտ տվյալների հասցեները հիշողությունում: Հիշողության նշված հասցեներից

բանական հրաման է, ապա կոնվեյերի EX փուլն իրականացվում է ԹSU-ում: EX փուլը ավարտելիս ԹSU-ի արդյունքի ռեգիստրում գրանցվում է հրամանի գործողության արժեքը, և անմիջապես լրացվում են դրոշակների ռեգիստրի համապատասխան բիթերը:

EX փուլի ավարտից հետո թարմացվում են SW ռեգիստրի ավագ բիթերը, որտեղ գրանցված են ստեկի գագաթի պարունակությունը (O<-ի այն Tag-ի կամ էջի համարը, որով կատարվելու է արդյունքի գրանցումը հիշողությունում):

Նկ. 5-ում ներկայացված են պրոցեսորում ժամանակի մեկ տակտի ընթացքում կոնվեյերային մշակմանը ենթարկվող տարբեր միկրոհրամանների կատարման ընթացքը և այդ ժամանակահատվածում ակտիվացող ռեգիստրների տեսակը: Պրոցեսորի 1 տակտում ընտրվում են առաջին (I,F), անմիջապես հետո երկրորդ (I₂F) հրամանները, այդ նպատակով ակտիվացվում են ICACHE, ADDRESS BUS (AB), SW1, CR2 և CR3 ռեգիստրները: Հաջորդ տակտում իրականացվում է RF- ռեգիստրների ֆայլի ակտիվացում, որը ենթադրում է կոնվեյերի վերձանման փուլը, GPRs, SW2 և SW3 ռեգիստրների ակտիվացումը: Կոնվեյերի օպերանդների ընտրման O1F և O2F փուլն իրականացվում է պրոցեսորի ժամանակի մեկ տակտի ընթացքում, որի արդյունքում ակտիվանում է DCACHE և Data Bus (DB) տվյալների շինան: Պրոցեսորում կոնվեյերի EX փուլի իրականացման ընթացքում ակտիվանում են ԹSU-ի ներքին (R1, R2, R3), ինչպես նաև GPRs-ի և EFLAGS ռեգիստրները: Հիշողությունում արդյունքի գրանցման համար կատարվում է դիմում GPRs-ին, թարմացվում է SW2 վիճակի ռեգիստրը, ակտիվանում են ToS բիթերը և Data Bus (DB) շինան:



Նկ. 5. Կոնվեյերային մշակման ժամանակի մեկ տակտի ընթացքում ակտիվացող ռեգիստրները

ավտոմատ նախագծման համակարգի կիրառմամբ: Սիմուլյացիայի և սինթեզման արդյունքների ճիշտ գնահատելու համար ընտրվել է 100Մհց հաճախականությամբ FPGA: Ավտոմատ նախագծման համակարգը տրամադրում է հաշվետվություն (design summary), որի վերլուծության հիման վրա կարելի է գնահատել սինթեզված սարքերի ապարատային ծախսերը FPGA-ի ռեսուրսների օգտագործման տեսակետից: Սարքի սինթեզումն իրականացվել է Xilinx ընկերության Spartan 3E միկրոսխեմայի վրա: Աղյուսակում ներկայացված է մշակված սարքերի արագագործության և ապարատային ծախսերի գնահատումը:

Աղյուսակ

Արագ./ ծախսեր	Արագագործություն	FPGA –ի օգտագործած ռեսուրսներ
Մշակված սարքեր		
Eflags fixed point	110 նվ	2%
Eflags float point	160 նվ	3%
Ղեկ.նեգիստրներ	570 նվ	12%
Վիճակի նեգիստրներ	630 նվ	7%
ԸՆՌԻ(GPRs)	Տեղաշարժ ` 12 նվ	6%

Ինչպես երևում է աղյուսակից, արագագործության և ապարատային ծախսերի գնահատումը կատարվել է առանձին նեգիստրների ձևավորման սարքերի դեպքում:

Եզրակացություն: Սուպերսկալյար պրոցեսորում ներքին նեգիստրները ձևավորող սարքի ապարատային իրագործման ընթացքում կարելի է գալ հետևյալ եզրակացության.

1. Ներքին նեգիստրների տեսակների քանակը գերազանցում է մի քանի տասնյակը (37-ից ավելի):

2. Ապարատային հասանելիություն ունեցող նեգիստրների դասին են պատկանում վիճակի, ղեկավարման, դրոշակների և այլն նեգիստրները:

3. Արագագործության և ապարատային ծախսերի գնահատումը կատարվել է առանձին նեգիստրների ձևավորման սարքերի դեպքում: Մշակումների արդյունքում պարզ դարձավ, որ սուպերսկալյար պրոցեսորների ներքին նեգիստրները ձևավորող սարքի ընդհանուր արագագործությունը կախված է ոչ միայն մշակված սարքերի աշխատանքի տևողությունից, այլ նաև մշակվող հրամանների տեսակից:

4. Վերլուծելով մշակված սարքերի արագագործությունը՝ կարելի է նկատել, որ այն գտնվում է 12նվ–630նվ միջակայքում, իսկ Spartan 3E FPGA-ի ապարատային ծախսերը՝ 2% - 12% միջակայքում, կախված նեգիստրի տեսակից և գործընթացից, որի արդյունքում դրանք ձևավորվում են:

ԳՐԱԿԱՆՈՒԹՅԱՆ ՑԱՆԿ

1. Ծրագրավորվող տրամաբանական սարքեր: ԹՄՆՄ առարկայի դասընթացի մեթոդական ցուցումներ /Կազմ.՝ **Ա. Թումանյան, Ա. Համազասպյան, Ա. Սաղաթեյան, Է. Վիրաբյան, Ա. Քամայան** / ՀՊՃՀ.-Երևան: Ճարտարագետ, 2014.-90 էջ:
2. **Թումանյան Ա.Կ., Կիրակոսյան Գ.Տ., Սաղաթեյան Ա.Կ.** Քոմպյուտերային կազմակերպում. Ուսումնական ձեռնարկ/ ՀԱՊՀ.-Եր.: Ճարտարագետ, 2019.- 184 էջ:
3. **Хамакер К., Врашневич З., Заки С.** Организация ЭВМ. -5-е изд.- СПб.: Питер, 2003.-854с.
4. **Столлинге У.** Структурная организация и архитектура компьютерных систем.-5-е изд.-М.: Изд. дом “Вильямс”, 2008.-893с.
5. **Цилькер Б.Я., Орлов С.А.** Организация ЭВМ и систем.- СПб.: Питер, 2013.-667с.
6. **Мистюков В.Г., Капитанов В., Угрюмов Е.П.** Цифровая схемотехника.- СПб.: БХВ - Петербург, 2008.-797с.
7. **Таненбаум Э., Остин Т.** Архитектура компьютера.-6-е изд.- СПб.: Питер, 2013.- 816 с.

Ա.Կ. ՏԱԳԱՏԵԼՅԱՆ, Ա.Ա. ԱՄԱԶԱՏՅԱՆ, Ա.Գ. ԿԱՄԱԼՅԱՆ

РАЗРАБОТКА И АППАРАТНАЯ РЕАЛИЗАЦИЯ УСТРОЙСТВ ФОРМИРОВАНИЯ ВНУТРЕННИХ РЕГИСТРОВ СУПЕРСКАЛЯРНОГО ПРОЦЕССОРА

Изучены вопросы аппаратной реализации устройств, формирующих внутренние регистры суперскалярного процессора. Проведена структурная обработка блоков, формирующих внутренние регистры суперскалярных процессоров, в частности, структурных схем устройств, формирующих регистры общего назначения, управления, состояния, т.е. тех внутренних регистров, организация работы которых также осуществляется аппаратными средствами. Разработаны схемы проектируемых устройств, оценены производительность и аппаратные затраты в пересчете на ресурсы ПЛИС.

Ключевые слова: суперскалярные процессоры, внутренние регистры процессора, схема устройства, аппаратная реализация, ресурсы ПЛИС.

A.K. SAGHATELYAN, A.H. HAMAZASPYAN, A.G. KAMALYAN
PROCESSING AND HARDWARE IMPLEMENTATION OF DEVICES
FORMING INTERNAL REGISTERS OF SUPERSCALAR PROCESSOR

The issues of hardware implementation of devices forming Tag the internal registers of a superscalar processor have been studied. Structural processing of the blocks forming Tag the internal registers of superscalar processors is carried out, in particular, the block diagrams of devices that form the general-purpose, control, and status registers, that is, those internal registers whose operation is also organized by hardware. Schemes of the designed devices have been developed, performance and hardware costs in terms of FPGA resources have been assessed.

Keywords: superscalar processors, processor internal registers, device schematic, hardware implementation, FPGA resources.

ՀՏԴ 681.3

L.Կ. ԱՆԴՐԵԱՍՅԱՆ

ՄՇՏԱԴԻՏԱՐԿՎՈՂ ՏՎՅԱԼՆԵՐԻ ՀԻՄԱՆ ՎՐԱ ԱՆՀԱՏԻ
ԻՆՔՆԱԶԳՎԱՑՈՂՈՒԹՅԱՆ ԳՆԱՀԱՏՄԱՆ ՄԵԹՈԴԸ

Իրականացվել են անհատի ինքնազգացողության գնահատման համար վերահսկվող ու չվերահսկվող մեքենայական ուսուցման ալգորիթմներով խելացի ժամացույցի միջոցով հավաքված իրական տվյալների վերլուծում, ըստ առողջական վիճակի՝ խմբավորում և երկչափ արքիմեդյան կոպուլա ֆունկցիաների կիրառմամբ՝ խմբավորված տվյալներից ընտրված ցուցանիշների միջև կախվածության գնահատում:

Առանցքային բաներ. Ֆիտնես տվյալներ, վերահսկվող և չվերահսկվող մեքենայական ուսուցում, երկչափ արքիմեդյան կոպուլա ֆունկցիաներ:

Ներածություն: Ֆիտնես (Fitbit) կրիչների օգտագործումը հնարավորություն է տալիս անհատներին հավաքել առողջության, կենսակերպի և ֆիզիկական ակտիվության վերաբերյալ բազմաթիվ տվյալներ, ինչպիսիք են սրտի զարկը, թթվածնով հագեցվածությունը, քնի տևողությունը, մարմնի ջերմաստիճանը և այլն [1]: Թեև այդ մշտադիտարկման արդյունքների հիման վրա կարելի է տեղեկատվություն ստանալ անհատի առողջության վերաբերյալ, սակայն դրանք բավարար պատկերացում չեն տալիս տարբեր ցուցանիշների միջև փոխկապակցվածության մասին՝ այս կամ այն ցուցանիշի ազդեցությունը որոշելու համար: Կախվածության աստիճանը գնահատելու համար օգտագործվել են երկչափ արքիմեդյան կապակցվածության ֆունկցիաները՝ կոպուլաները [2]: