

## Ա.Ա. ՂԱԶԱՐՅԱՆ

### ԲԱՐՁՐ ՀԱՃԱԽԱԿԱՆԱՅԻՆ ԻՆՏԵԳՐԱԼ ՍԽԵՄԱՆԵՐՈՒՄ ՆԵՅՐՈՆԱՅԻՆ ՑԱՆՑԵՐԻ ԿԻՐԱՌՄԱՄԲ ՀՈՒՍԱԼԻ ՄՆՈՒՑՄԱՆ ՑԱՆՑԻ ՄՇԱԿՈՒՄԸ

Ինտեգրալ սխեմաների մասշտաբավորման արդյունքում առաջ են գալիս մի շարք խնդիրներ, որոնցից է լարման անկումը: Գրականությունում հայտնի են մի շարք լուծումներ, սակայն դրանք հանգեցնում են այլ խնդիրների, որի արդյունքում նախագծման ցիկլը կրկնվում է: Աշխատանքում ներկայացված է նեյրոնային ցանցերի կիրառմամբ հուսալի սնուցման ցանցի նախագծման ալգորիթ, որի դեպքում նախագծման ցիկլերի քանակը չի ավելանում:

**Առանցքային բառեր.** սնուցման ցանցի նախագծում, մեքենայական ուսուցում, լարման անկում, նեյրոնային ցանցեր, արագագործություն:

**Ներածություն:** Տարեցտարի ինտեգրալ սխեմաների ինտեգրման աստիճանը և սինքրոազդանշանի հաճախությունը մեծացել են: Օրինակ, Intel4004 (արտադրվել է 1971 թվականին) միկրոպրոցեսորում սինքրոազդանշանի հաճախությունը 108 ԿՀց էր և ուներ 2300 տրանզիստոր, AMD Ryzen 8000 (արտադրվել է 2024 թվականին) պրոցեսորում՝ 6,5 ԳՀց է, իսկ տարրերի քանակը՝ 40 միլիարդ [1,2]: Ինտեգրալ սխեմաներում ինտեգրման աստիճանի և սինքրոազդանշանի մեծացումն ի հայտ է բերում մի շարք խնդիրներ, որոնցից են էներգասպառումը, ազդանշանի ամբողջականության պահպանումը, ծրագծելիությունը, սնուցման ցանցի լարման անկումը և այլն [3]: Ինտեգրալ սխեմաներում ինտեգրման աստիճանի մեծացումը հանգեցնում է դրանցում սնուցման ցանցի ծանրաբեռնվածության, իսկ սինքրոազդանշանի արագացումը՝ բջիջների արագ միացման, և անհրաժեշտ է լինում ունենալ մեծ հոսանքներ, ինչն էլ մեծացնում է սնուցման ցանցում լարման անկումը [4]: Ինչպես պարզ է վերը նշվածից, սնուցման ցանցում լարման անկումը հանդիսանում է խնդիրներից մեկը, որի լուծման համար գրականության մեջ առկա են մի քանի մեթոդներ:

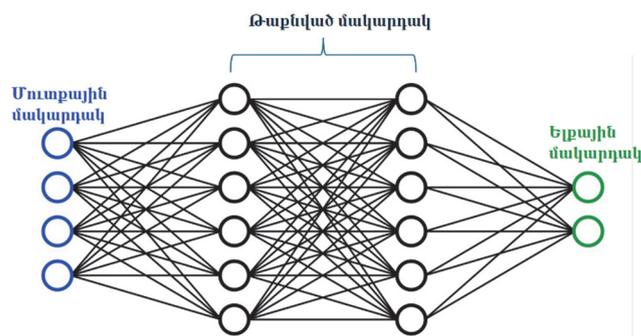
▪ Իսիտ և բազմաշերտ նախագծված սնուցման ցանցը նվազեցնում է սնուցման ցանցում լարման անկումը՝ փոքր դիմադրության հաշվին: Այս մեթոդի թերություններից է ծրագծելիության ռեսուրսների նվազեցումը [5, 6]:

▪ Կապագերծող ունակությունների ավելացումը բեռների վրա կարող է նվազեցնել դինամիկ լարման անկումը՝ ի հաշիվ լարման կայունացման: Այս մեթոդի թերություններից են կորստյան էներգասպառման մեծացումը և աշխատանքի երկարատևությունը [7]:

Վերը նշված մեթոդները, բացի հստակ առավելությունից, այն է՝ սնուցման ցանցում լարման անկման նվազարկումից, ունեն նաև մի շարք թերություններ, որոնցից ամենակնառուններն են ծրագծելիությունը և երկար աշխատաժամանակը, վերոհիշյալ խնդիրը հնարավոր է լինում լուծել մեքենայական ուսուցման կիրառման շնորհիվ:

Բարձր հաճախականային գերմեծ ինտեգրալ սխեմաները նախագծելիս մեքենայական ուսուցման կիրառումը սնուցման ցանցի նախագծման ժամանակ հնարավորություն է տալիս նախօրոք կանխագուշակել սնուցման ցանցի հնարավորինս օպտիմալ կառուցվածքը [8] ավելի կարճ աշխատաժամանակում: Այն հնարավորություն է տալիս նաև կանխագուշակել նախագծի խնդիրները ավելի վաղ փուլերում և տալ լուծում:

Մեքենայական ուսուցումը, մասնավորապես՝ նեյրոնային ցանցերը լայնորեն կիրառվում են ինտեգրալ սխեմաների նախագծման գործընթացում [9, 10]: Կազմված փոխկապակցված հանգույցներից նեյրոնային ցանցերը կարող են սովորել բարդ օրինաչափություններով տվյալների շտեմարաններից և լուծել բարդ խնդիրներ ոչ ստանդարտ լուծումներով: Նեյրոնային ցանցերը կազմված են մակարդակներից՝ մուտքային, թաքնված և ելքային, ինչը ներկայացված է նկ. 1-ում:



Նկ. 2. Նեյրոնային ցանցի օրինակ

Սովորաբար նեյրոնային ցանցերում կիրառվում է վերահսկվող ուսուցում, երբ ուսուցման համար տրվում է տվյալների շտեմարան: Ուսուցման ընթացքում ցանցը հաշվարկում է ելքը, համեմատում է այն ակտուալ պիտակի հետ և կատարում է այնպիսի օպտիմալացումներ, ինչպիսիք են, օրինակ, հետտարածումը և գրադիենտի իջեցումը:

**Խնդրի դրվածքը և մեթոդիկայի հիմնավորումը:** Աշխատանքում ներկայացված է սնուցման ցանցի նախագծման համար անհրաժեշտ ճարտարապետության ընտրության ալգորիթմ, որի կիրառումը հնարավորություն է տալիս նվազեցնել սնուցման ցանցում լարման անկումը ավելի կարճ աշխատաժամանակում:

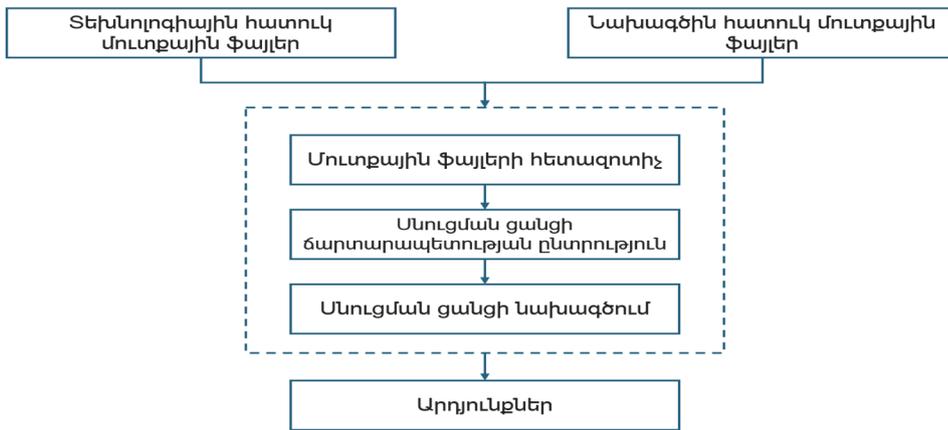
Ներկայացված ալգորիթմի աշխատանքը կարելի է բաժանել մի քանի փուլերի.

1. Մուտքային տվյալների հետազոտիչ. այս փուլում կատարվում է մուտքային տվյալների հետազոտում, այն է՝ սինքրոազդանշանի հաճախության արտահանում, մետաղական մակարդակների հետազոտում և այլն: Այս փուլի արդյունքում ձևավորվում է կոնֆիգուրացիոն ֆայլ, որը մուտքային է հաջորդ փուլի համար:

2. Սնուցման ցանցի ճարտարապետության ընտրություն. այս փուլում կատարվում է տվյալ նախագծի համար հնարավորինս օպտիմալ սնուցման ցանցի նախագծման ճարտարապետության ըտրություն, ինչն էլ կատարվում է մեքենայական ուսուցման կիրառմամբ:

3. Սնուցման ցանցի կառուցում. այս փուլում արդեն կատարվում է սնուցման ցանցի նախագծում:

Ներկայացված քայլերի հաջորդականությունը գրաֆիկական տարբերակով բերված է նկ. 2-ում:



Նկ. 2. Ալգորիթմի աշխատանքի բլոկ-սխեման

Առաջին փուլում մուտքային տվյալների հետազոտիչը կատարում է տվյալների հետազոտում. սահմանափակումների ֆայլից կատարվում է սինքրոազդանշանի հաճախության արտահանում, տեխնոլոգիական ֆայլից՝ մետաղական մակարդակների մասին ինֆորմացիայի արտահանում, այն է՝ մետաղական մակարդակների քանակը, նվազագույն ֆիզիկական չափերը, հատակագծի տիպի արտահանումը և այլն: Հետազոտիչի ելքում ստանում ենք կոնֆիգուրացիոն ֆայլը, որից մի հատված ցույց է տրված նկ. 3-ում:

```

set technology "saed14"
set gate_count "123587"
set layer_count "9"
set M1_pitch "0.074"
set M1_min_spacing "0.026"
set M1_min_width "0.034"
set M1_max_width "3"
set M2_pitch "0.06"

```

Նկ. 3. Կոնֆիգուրացիոն ֆայլից մի հատված

Սնուցման ցանցի ճարտարապետության ընտրության համար Python լեզվի միջոցով մշակվել է նեյրոնային ցանց՝ keras գրադարանի կիրառմամբ: Մշակված մոդելը պարունակում է երեք մակարդակ՝ ակտիվացման տարբեր ֆունկցիաներով: Մոդելը կոմպիլացվել է “mean\_squad\_error” ֆունկցիայի և adams օպտիմալացման միջոցով: Իսկ մոդելի ուսուցումը կատարվել է fit() ֆունկցիայի կիրառմամբ: Մոդելի աշխատանքի վերջում արդեն ստանում ենք սնցուման ցանցի ճարտարապետության առաջարկ, որպեսզի այն կարողանանք կիրառել ելքում ստացվում է նաև TCL ձևաչափով ֆայլ, որի օրինակը ցույց է տրված նկ. 4-ում:

```

set M9 "create_pg_composite_pattern P_CORE -nets {VDD VSS} -add patterns { \
  { {pattern: P_wire_base} {nets: {VDD}} {parameters: horizontal M9 ${M9_width} ${M9_width} 0.760 track } {offset: {0 0.572}} } \
  { {pattern: P_wire_base} {nets: {VSS}} {parameters: horizontal M9 ${M9_width} ${M9_width} 0.760 track } {offset: {0 0.572}} } \
}"
eval $M9
set_pg_strategy S_CORE -pattern { {name: P_CORE} {nets: VDD VSS} {offset: {0.0 0.0}} } -pg_regions PG_TOP
compile_pg -strategies S_CORE
set_app_options -name plan.pgroute.disable_via_creation -value true

```

Նկ. 4. Սնուցման ցանցի կառուցման զեներացված սկրիպտից մի հատված

**Հետազոտության արդյունքները:** Ներկայացված համակարգի արդյունավետությունն արտահայտելու համար կատարվել են թեստային նախագծեր, որոնց ամբողջական արդյունքները ներկայացված են աղյուսակում:

Աղյուսակ

Ստացված արդյունքները

Տեխնոլոգիական գործընթաց	Մետաղական մակարդակների քանակ	Տրամաբանական փականների քանակ	Ծրագրի ստացվել է թե ոչ	Ստատիկ լարման անկում (սնուցման լարման արժեք) (4)	Դինամիկ լարման անկում (սնուցման լարման արժեք) (4)	Նախագծման ցիկլերի քանակ
14	12	157482	Ոչ	0,0121(0,825)	0,052(0,825)	1
7	9	172516	Ոչ	0,0111(0,825)	0,076(0,825)	1
14	7	326718	ոչ	0,0165(0,825)	0,099(0,825)	1

**Եզրակացություն:** Ներկայացված է նոր մեթոդ՝ սնուցման ցանցի հնարավորինս օպտիմալ ճարտարապետության ընտրության, ինչպես նաև, նախագծման համար: Առաջարկված մեթոդի կիրառմամբ հնարավոր է նախագծման ցիկլերի

քանակը նվազեցնել՝ ի հաշիվ այն բանի, որ սնուցման ցանցում առկա հնարավոր խնդիրները կանխատեսվում և լուծվում են նախազծման սկզբում: Առաջարկված մեթոդով կառուցված սնուցման ցանցում ստատիկ լարման անկումը <2%-ից, դինամիկ լարման անկումը <15%-ից և իսկ ներկայացված միջոցի կիրառումը չեն առաջացնում ծրագծելիության և նախազծի ցիկլերի կրկնություն:

#### ԳՐԱԿԱՆՈՒԹՅԱՆ ՑԱՆԿ

1. **Gibbons J.** The Role of Transistor Technology in the Evolution of Microprocessors // IEEE Transactions on Electron Devices. - 2014.
2. AMD Ryzen embedded 8000 series processors. A new class of industrial processing with leadership performance, integration and onboard AI acceleration <https://www.amd.com/en/products/embedded/ryzen/ryzen-8000-series.html>
3. Design for Reliability in High-Speed Integrated Circuits /**L. P. P. K. K. Tseng, et al** // IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems. - Sept. 2013. - Vol. 32, no.9. – P. 1457-1467, DOI: 10.1109/TCAD.2013.2267401.
4. Impact of Power Grid Integrity on Performance of High-frequency Clock Networks /**H.Y. Lee, et al** // IEEE Transactions on Very Large Scale Integration (VLSI) Systems. - Jan 2015. - Vol. 23, no.3 – P. 158-168, DOI: 10.1109/TVLSI.2014.2323004.
5. Power Grid Optimization for Low Voltage Variations / **D. Hu, et al** // IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems. - March 2009. - Vol. 28, no. 3– P. 266-279, DOI: 10.1109/TCAD.2008.2006881.
6. Impact of Power Distribution Network Design on Reliability of High-Performance VLSI Circuits / **I. Dong, et al** // IEEE Transactions on Very Large Scale Integration (VLSI) Systems. - Aug. 2012. - Vol. 20, no. 8. – P. 1358-1369, DOI: 10.1109/TVLSI.2011.2171290.
7. Decap Placement for Minimizing IR Drop in VLSI Designs /**G. Yeap, et al** // IEEE Transactions on Very Large Scale Integration (VLSI) Systems.- March 2014. - Vol. 22, no.3 - P. 561-570, DOI: 10.1109/TVLSI.2012.2187438.
8. **Cheng T., Chen Y.** Machine Learning-Based Design for Power Integrity // IEEE Transactions on Very Large Scale Integration (VLSI) Systems.- 2021.
9. Deep Reinforcement Learning for Integrated Circuit Design Automation / **J. Hu, et al** // IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems. - 2019. - 39(3). - P. 576-580, DOI: 10.1109/TCAD.2019.2896758.
10. **Goodfellow I., Bengio Y., Courville A.** Deep Learning.- MIT Press, 2016. - ISBN: 978-0-262-53562-0.

**А.А. КАЗАРЯН**

**РАЗРАБОТКА НАДЕЖНОЙ СИЛОВОЙ СЕТКИ С  
ИСПОЛЬЗОВАНИЕМ НЕЙРОННЫХ СЕТЕЙ В  
ВЫСОКОЧАСТОТНЫХ ИНТЕГРАЛЬНЫХ СХЕМАХ**

Масштабирование интегральных схем влечет за собой ряд проблем, одной из которых является падение напряжения. В литературе известен ряд решений, но они приводят к другим проблемам, в результате чего цикл проектирования повторяется. В работе представлен алгоритм проектирования надежной сети электроснабжения с использованием нейронных сетей, применение которого не увеличивает количество циклов проектирования.

**Ключевые слова:** проектирование сетей электроснабжения, машинное обучение, падение напряжения, нейронные сети, ускорение.

**A.A. GHAZARYAN**

**RELAIBLE POWER MESH CREATION IN HIGH FREQUENCY  
INTEGRATED CIRUITS**

Scaling integrated circuits entails a number of problems, one of which is voltage drop. A number of solutions are known in literature, but they lead to other problems, resulting in a repeated design cycle. This paper presents an algorithm for designing a reliable power supply network using neural networks, the use of which does not increase the number of design cycles.

**Keywords:** power supply network design, machine learning, voltage drop, neural networks, speedup.

UDC 004.421.6:621.3.087.354

**A.V. MATEVOSYAN**

**ALGORITHMS FOR AUTOMATIC OBJECT LOCATION DETECTION**

Significant advancements in simultaneous localization and mapping (SLAM) solutions have revolutionized mapping and localization capabilities in robotics. These improvements are attributed to the development of robust solvers, efficient outlier rejection algorithms, and innovative front-end sensing technologies. However, reproducibility remains a challenge for certain open-source methods due to the lack of standardized dataset adaptation procedures.

The objective of this study is to comprehensively evaluate and identify the most promising localization techniques that can be leveraged by engineers and researchers in robotics and related fields. A thorough comparative analysis of state-of-the-art Visual