

**Գ.Ա. ՕՀԱՆՅԱՆ, Մ.Տ. ՄԱՆՎԵԼՅԱՆ, Ն.Գ. ՄԱՐԳԱՐՅԱՆ, Մ.Ց. ԱՅՎԱԶՅԱՆ
14 -ՆԱՆՈՄԵՏՐԱՆՈՑ ԿՈՄՊԼԻՄԵՆՏԱՐ ՄԵՏԱԴ-ՕՔՍԻԴ-ԿԻՍԱՀԱՂՈՐԴԻԶ
(ԿՄՕԿ) ՏԵԽՆՈԼՈԳԻԱԿԱՆ ԳՈՐԾԸՆԹԱՑԻ ՀԱՄԱՐ
ԲԱՐՁՐՀԱՃԱԽԱԿԱՆԱՅԻՆ ՏԱԿՏԱՎՈՐՎՈՂ ՀԱՄԵՄԱՏՉԻ ՆԱԽԱԳԾՈՒՄԸ**

Արագագործ համեմատիչները հնարավորություն են տալիս ստանալու առավելագույն արագագործություն՝ միաժամանակ զբաղեցնելով ավելի փոքր մակերես: Առաջարկվում է 14-նանոմետրանոց ԿՄՕԿ տեխնոլոգիական գործընթացի համար նախագծել տակտավորվող համեմատիչ, որը ՅԳՀց տակտային հաճախության դեպքում կունենա 4 մՎ մուտքային զգայնություն: Աշխատանքի ընթացքում դիտարկվել է մեկ սխեմա, կատարվել է պարամետրական օպտիմալացում SPICE մոդելավորման միջոցով, ֆիզիկական մոդելավորում Custom Compiler ծրագրային գործիքով: Արդյունքներն արտածվել և չափվել են WaveView ծրագրային գործիքի միջոցով:

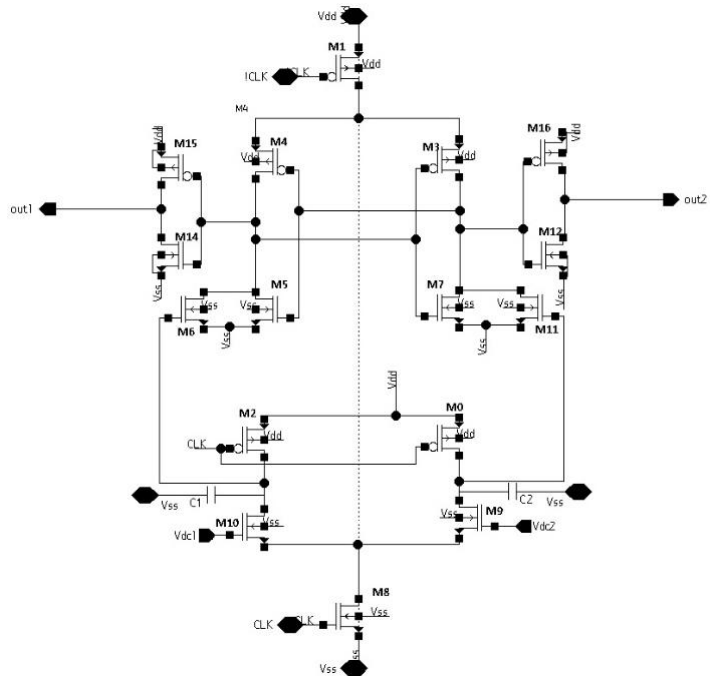
Առանցքային բառեր. համեմատիչ, SPICE, համաչափ և ոչ համաչափ նախագծում, ֆիզիկական նախագծում (layout):

Ներածություն: Ժամանակակից ինտեգրալ սխեմաների արտադրական տեխնոլոգիան հասել է նանոմետրական չափերի: Վերջինս թույլ է տալիս արտադրել ինտեգրալ սխեմաներ, որոնցում տրանզիստորների նվազագույն չափերը հասնում են մինչև 3 նանոմետրի:

Մեզ շրջապատող աշխարհում գործող բոլոր երևույթները չափելու համար օգտագործվող ազդանշանները կրում են անալոգային բնույթ: Անալոգային ազդանշանի և թվային համակարգի միջև կապը հաստատվում է անալոգաթվային ձևափոխիչների միջոցով: Անալոգաթվային ձևափոխիչների հիմնական համեմատման գործողությունը կատարող կառուցվածքային հանգույցը հանդիսանում է համեմատիչը [1, 2]:

Համեմատիչը համեմատման գործողություն կատարող սարք է: Կախված կիրառության նշանակությունից՝ գոյություն ունեն տարբեր տեսակի համեմատիչներ: Գլխավոր պարամետրերն են՝ սպառվող հզորությունը, արագագործությունը, զգայնությունը և այլն:

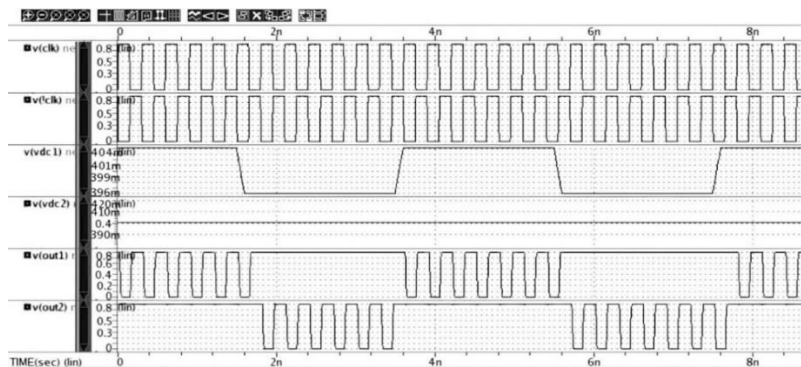
Համեմատչի սխեման և աշխատանքային նկարագիրը: Համեմատիչը նախագծվել է հետևյալ սխեմայի հիման վրա (նկ.1) [3]:



Նկ. 1. Համեմատիչի սխեման

Համեմատիչն ունի չորս մուտք՝ Vdc1, Vdc2, CLK, !CLK:

CLK և !CLK-ի միջոցով համեմատիչը կառավարվում է, այսինքն միանում կամ անջատվում է սնուցման աղբյուրներից: Հետազոտությունների ընթացքում CLK-ին և !CLK-ին տրվել է պուլսային լարում: Vdc1-ը և Vdc2-ը հենց այն ազդանշաններն են, որոնք համեմատիչը համեմատում է: Հետազոտությունների ժամանակ սխեմայի մուտքերից մեկին տրվել է հաստատուն լարում, իսկ մյուսին՝ պուլսային լարում (Նկ.2):



Նկ. 2. Համեմատիչի աշխատանքի Վ/վ բնութագրիչը

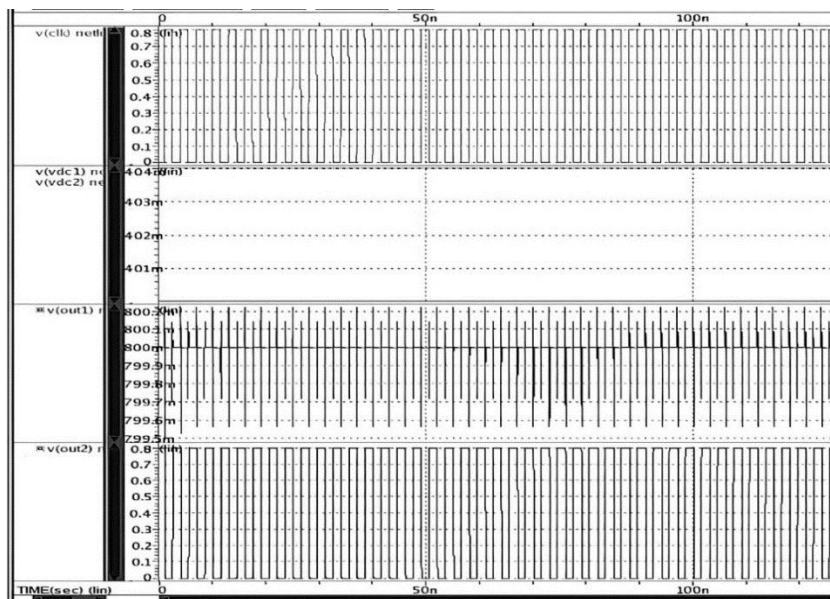
Համեմատչի զգայնությունը 4 մՎ է (նկ.2): Համեմատչի ելքերն են՝ out1-ը և out2-ը, որոնց ելքերին միացված են 20ՖՖ ունակային բեռներ:

Իդեալական պայմանների դեպքում CLK-ի դրական ճակատի դեպքում out1-ը փոխանջատվում է 1-ից 0, իսկ CLK-ի բացասական ճակատի դեպքում՝ 0-ից 1: out2-ը այդ ընթացքում լինում է տրամաբանական բարձր՝ '1' վիճակում:

Ոչ համաչափ պարազիտային ունակություններով համեմատիչ: Համեմատչի ֆիզիկական նախագիծը գծելիս շատ հնարավոր է, որ կառաջանան պարազիտային ունակություններ, որոնք մեծ հավանականությամբ կազդեն ելքային բնութագրի վրա: Այդ ամենը հաշվի առնելով՝ կատարվել են մի քանի հետազոտություններ:

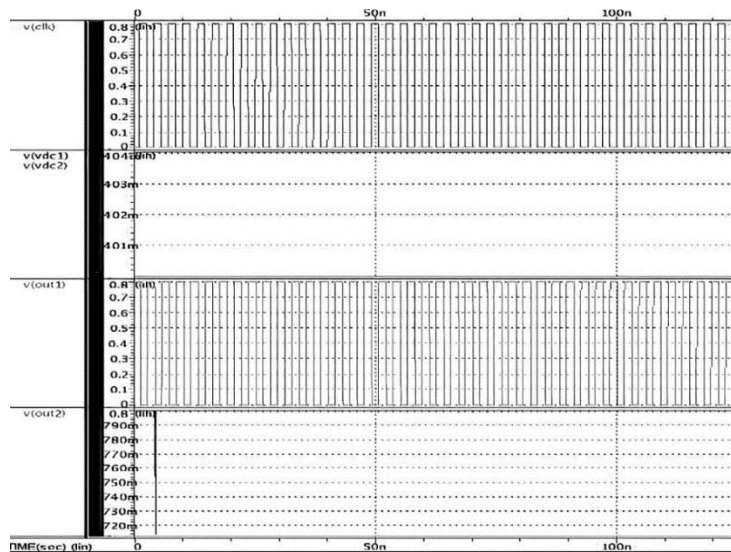
M9 և M10 nmos տրանզիստորների արտաբերներին որպես պարազիտային ունակություն միացնում ենք C1 և C2 ունակությունները:

Վերցնենք C1 = 9ՖՖ, C2 = 4ՖՖ: Ինչպես պատկերված է նկ. 3-ում, ելքային բնութագիրը փոխվում է: CLK-ի դրական ճակատի դեպքում out2-ը փոխանջատվում է տրամաբանական '1'-ից '0', իսկ բացասական ճակատի դեպքում տրամաբանական '0'-ից '1':



Նկ. 3. Համեմատչի Վ/վ բնութագիծը, երբ C1 = 9ՖՖ, C2 = 4ՖՖ

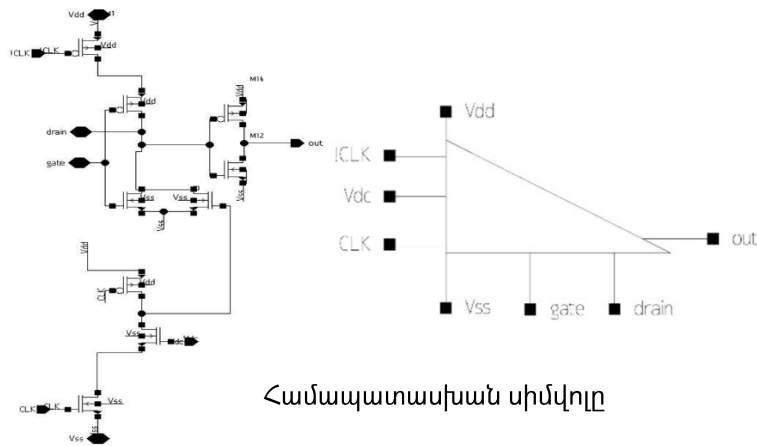
Համաչափ պարազիտային ունակություններով համեմատիչ: C1=C2=9ՖՖ: Այս դեպքում ելքային արդյունքները չեն փոխվում, և գրաֆիկական արտապատկերումն ունենում է հետևյալ տեսքը (նկ. 4):



Նկ. 4. Համեմատչի Վ/վ ընդթագիծը, երբ $C1=C2=9\text{ՖՖ}$

Համեմատչի ֆիզիկական նախագծումը: Նշված հետազոտություններից բխում է, որ պետք է ֆիզիկական նախագիծը լինի համաչափ: Նախ՝ այս դեպքում ավելի հեշտ է լինում նախագծել սխեմայի ֆիզիկական տեսքը և աշխատելը նրա վրա: Այն լինում է ավելի պարզ և հասկանալի: Տրանզիստորների չափերի համապատասխանեցումը լինում է ավելի հեշտ և արագ: ԵՎ որն ամենակարևորն է, սխեմայի պարագիտային ունակությունները լինում են հավասար:

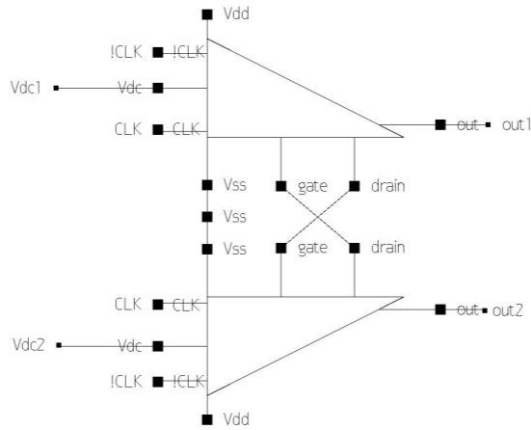
Առաջարկվում է սխեման կիսել երկու մասի, գծել նրա ֆիզիկական նախագիծը, և միացնել իր հայելային արտապատկերմանը (Նկ. 5):



Համապատասխան սիմվոլը

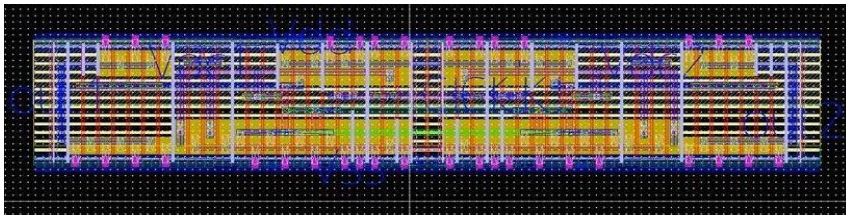
Նկ. 5. Կես համեմատչի

Արդյունքում սխեմայի սիմվոլային տեսքը կլինի հետևյալը (նկ.6):



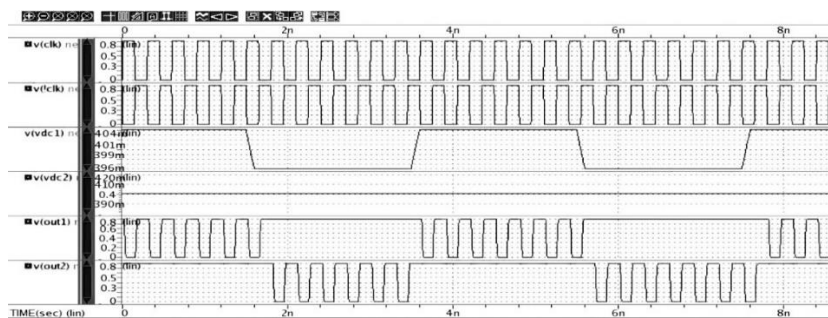
Նկ. 6. Համեմատչի սիմվոլը

Համեմատչի համաչափ ֆիզիկական նախագիծ: Նկ. 7-ում պատկերված է համեմատչի համաչափ ֆիզիկական տեսքը:



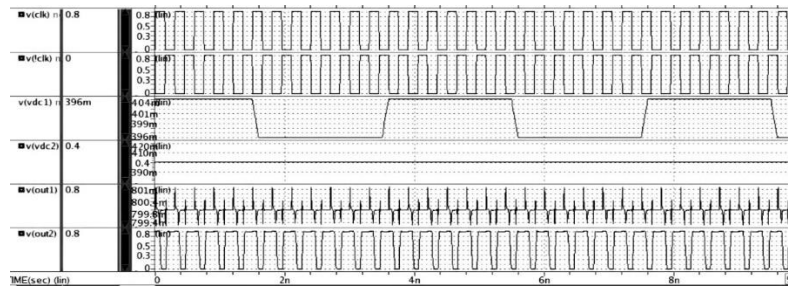
Նկ. 7. Համեմատչի համաչափ ֆիզիկական նախագիծը

Նկ. 8-ում պատկերված է համաչափ ֆիզիկական նախագծի գրաֆիկական բնութագիրը: Ինչպես տեսնում ենք, արդյունքները բավարարում են խնդրի դրվածքին, որն է մուտքային՝ 4մՎ զգայնություն և 3զՀց տակտային հաճախություն:



Նկ. 8. Համաչափ ֆիզիկական նախագծի Վ/վ բնութագիրը

Նկ. 9-ում պատկերված է ոչ համաչափի գրաֆիկական բնութագիրը, որը, ինչպես տեսնում ենք, չի բավարարում խնդրի դրվածքին:



Նկ. 9. Ոչ համաչափ ֆիզիկական նախագծի Վ/վ բնութագիծը

Եզրակացություն: Ինչպես գիտենք, մեր օրերում հնարավոր է բարձր արագություններով տվյալների հաղորդում և՛ երկար, և՛ կարճ հեռավորությունների վրա: Տվյալների անխափան փոխանցման համար անհրաժեշտ է մի քանի բան: Առաջին հերթին անհրաժեշտ է բարձր արագություն, ինչպես նաև հզորության նվազագույն ծախս և բարձր աղմկակայունություն: Այս ամենի հետ մեկտեղ անհրաժեշտ է գտնել փոխզիջում ֆունկցիոնալության, հզորության, աղմկակայունության միջև:

Արդյունքներից կարելի է եզրակացնել, որ նախագծված համեմատիչը բավարարում է տեխնիկական պահանջներին: Այն է՝ ՅզՀց տակտային հաճախության դեպքում, 4 մՎ մուտքային զգայնություն:

ԳՐԱԿԱՆՈՒԹՅԱՆ ՑԱՆԿ

1. **Razavi B.** Design of Analog CMOS Integrated Circuits.-Tata McGraw –Hill, 2015.-693p.
2. **Miyahara M., Asada Y., Daehwa P. and Matsuzawa A.** A Low-Noise Self-Calibrating Dynamic Comparator for High-Speed ADCs // *Proc. A-SSCC.*- Nov. 2008. –P.269-272.
3. **Masaya Miyahara, Yusuke Asada, Daehwa Paik and Akira Matsuzawa.** A Low-Noise Self-Calibrating Dynamic Comparator for High-Speed ADCs /Department of Physical Electronics Tokyo Institute of Technology 2-12-1, O-okayama. -Meguroku, Tokyo, Japan, 2017.-152.-8552.
4. **Vali S., Rajesh P.** A 3GHz Low-offset Fully Dynamic Latched Comparator High-Speed and Low-Power ADCs.-2013.
5. **Allen P. and Holberg D.** CMOS Analog Circuit Design.- 2nd Ed. -New York, NY: Oxford , 2002.
6. **Jeon, Heung Jun** Low-power high-speed low-offset fully dynamic CMOS latched comparator. A Thesis Presented by **HeungJun Jeon** to The Department of Electrical and Computer Engineering in partial fulfillment of the requirements for the degree of Master of Science in Electrical Engineering Northeastern University.- Boston, Massachusetts, May, 2010.

Г. А. ОГАНЯН, М. Т. МАНВЕЛЯН, Н. Г. МАРГАРЯН, М.Ц. АЙВАЗЯН

**РАЗРАБОТКА ВЫСОКОСКОРОСТНОГО ТАКТОВОГО
КОМПАРАТОРА ДЛЯ 14-НМ КОМПЛЕМЕНТАРНОЙ СТРУКТУРЫ
МЕТАЛЛ-ОКСИД-ПОЛУПРОВОДНИК ТЕХНОЛОГИЧЕСКОГО
ПРОЦЕССА**

Высокоскоростные компараторы позволяют получить максимальную скорость, занимая меньше места. Предлагается разработать тактовый компаратор для 14-нм КМОП (комплементарная структура металл-оксид-полупроводник) техпроцесса, который будет иметь входную чувствительность 4 мВ при тактовой частоте 3 ГГц. В ходе исследования была выделена одна схема. Параметрическая оптимизация проводилась с помощью модели SPICE, а физическое моделирование - с помощью программного инструмента Custom Compiler. Отображение и измерение результатов проводилось через программный инструмент WaveView.

Ключевые слова: компаратор, SPICE, симметричная и асимметричная планировка, физическая планировка.

**G.A. OHANYAN, M.T. MANVELYAN, N.G. MARGARYAN,
M.TS. AIVAZYAN**

**DESIGN OF HIGH-SPEED CLOCKED COMPARATOR FOR THE 14NM
CMOS TECHNOLOGICAL PROCESS**

High-speed comparators allow to get maximum speed while taking up less space. It is proposed to design a clocked comparator for the 14-nm CMOS technological process, which will have an input sensitivity of 4 milli volt at a clock rate of 3 Gigahertz. During the research, one scheme was observed, parametric optimization was performed through the SPICE model, physical modeling was performed using Custom Compiler. Results were displayed and measured using WaveView.

Keywords: comparator, SPICE, symmetrical and asymmetrical layout, physical layout.