

Գ.Ա. ՕՀԱՆՅԱՆ, Մ.Տ. ՄԱՆՎԵԼՅԱՆ, Ն.Գ. ՄԱՐԳԱՐՅԱՆ, Մ.Ց. ԱՅՎԱԶՅԱՆ
14-ՆԱՆՈՄԵՏՐԱՆՈՑ ԿՄՕԿ ՏԵԽՆՈԼՈԳԻԱԿԱՆ ԳՈՐԾԸՆԹԱՑԻ ՀԱՄԱՐ
ՄՈՒՏՔ/ԵԼՔ ՀԱՆԳՈՒՅՑՆԵՐԻ ԴԻՄԱԴՐՈՒԹՅԱՆ ՀԱՄԱՁԱՅՆԵՑՄԱՆ
ՇՂԹԱՑԻ ՆԱԽԱԳԾՈՒՄԸ

Նախագծվել է 14-նանոմետրանոց կոմպլիմենտար մետաղ-օքսիդ-կիսահաղորդիչ (ԿՄՕԿ) տեխնոլոգիական գործընթացի համար մուտք/ելք հանգույցների դիմադրության համաձայնեցման անալոգաթվային համակարգ, որով ապահովվել է առավելագույնը 2% դիմադրության շեղում: Սխեմայի աշխատանքային լարումն է 1.8Վ-ը: Կատարվել է ընդհանուր սխեմայի պարամետրական օպտիմալացում՝ SPICE մոդելավորման միջոցով, և ֆիզիկական մոդելավորում՝ Custom Compiler ծրագրային գործիքով: Արդյունքներն արտածվել և չափվել են WaveView ծրագրային գործիքի միջոցով: Տրվել է նաև դեկավարող տրամաբանության վարքային նկարագիրը, և սինթեզվել է համապատասխան սխեման՝ Verilog և Design Compiler ծրագրային գործիքներով:

Առանցքային բառեր. համեմատիչ, SPICE, դիմադրության համաձայնեցում, երկար գիծ, մուտք/ելք հանգույց:

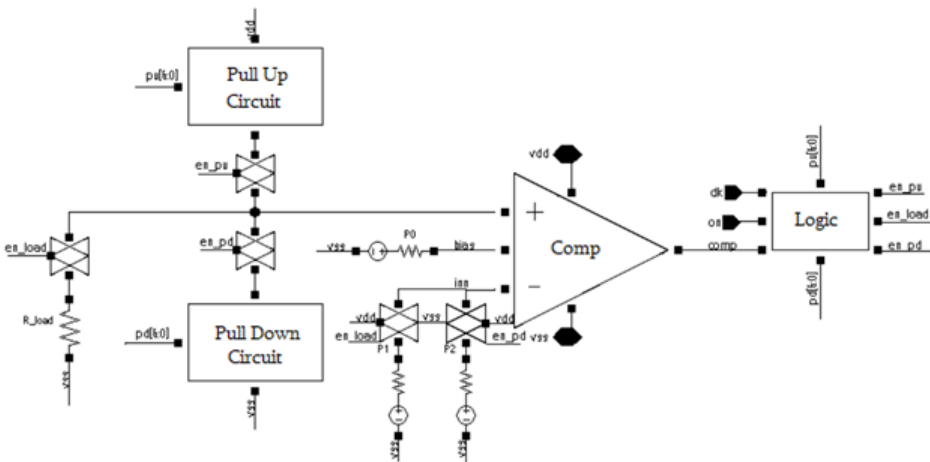
Ներածություն: Ներկայումս ինտեգրալ սխեմաների (ԻՍ) մուտք/ելք (Մ/Ե) հանգույցներում փոխանցվող տվյալների հաճախությունը անցել է գեգահերցերի սահմանը: ԻՍ-երի հանգույցների միջև տվյալների փոխանցման հիմնական դժվարությունները պայմանավորված են դրանց միջև երկար գծերի առկայությամբ, քանի որ Մ/Ե հանգույցները և դրանք միմյանց կապող երկար գծերը հանդիսանում են ԻՍ առավելագույն աշխատանքային հաճախության հիմնական սահմանափակողները [1]: Երկար գծերում տեղի ունեցող անդրադարձումների պատճառով դրանցով անցնող տվյալը ճնշվում է, ինչի հետևանքով ԻՍ-երում առաջանում են տեղեկույթի կորուստներ:

Համակարգում անդրադարձումներից խուսափելու համար պետք է համաձայնեցված լինեն գծի ալիքային, հաղորդչի ելքային բուֆերի և ընդունիչի մուտքային դիմադրությունները, որոնք իդեալական դեպքում իրար հավասար են [2]:

Աշխատանքի նպատակն է 14-նանոմետրանոց տեխնոլոգիական գործընթացի համար նախագծել Մ/Ե հանգույցների դիմադրության համաձայնեցման անալոգաթվային համակարգ, որը կունենա առավելագույնը 2% դիմադրության շեղում: Սխեման պետք է աշխատի 1.8 Վ սնման լարումով: Աշխատանքի ընթացքում կընդունենք, որ հաղորդչի ալիքային դիմադրությունը հավասար է 50 Օմ-ի, և դիմադրության համաձայնեցումը կատարենք ըստ այդ արժեքի: Նշված

դիմադրությունների համաձայնեցումը ԻՍ-երում ապահովվում է դիմադրությունների կարգաբերման համակարգի միջոցով [3]:

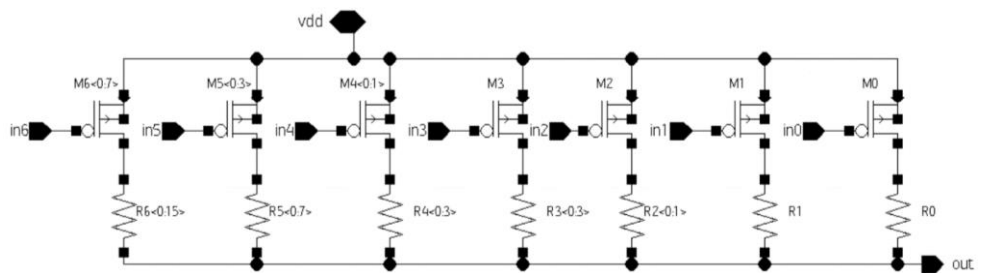
Դիմադրության կարգաբերման համակարգը: Նկ. 1-ում ներկայացված դիմադրության կարգաբերման համակարգը բաղկացած է համեմատիչ (Comp), ցածրից բարձր և բարձրից ցածր մակարդակների փոխանջատման շղթաներից (համապատասխանաբար՝ Pull Up Circuit, Pull Down Circuit), ղեկավարող տրամաբանությունից (Logic) և 200 Օմ (R_{load}) արտաքին ճշգրիտ դիմադրությունից: Ղեկավարող տրամաբանությունը պետք է կառավարի փոխանջատման բանալիները և անջատի Pull Up և Pull Down հանգույցները համակարգից, երբ դրանք հավասարվեն անվանական 50 Օմ-ի:



Նկ. 1. Դիմադրության կարգաբերման համակարգը

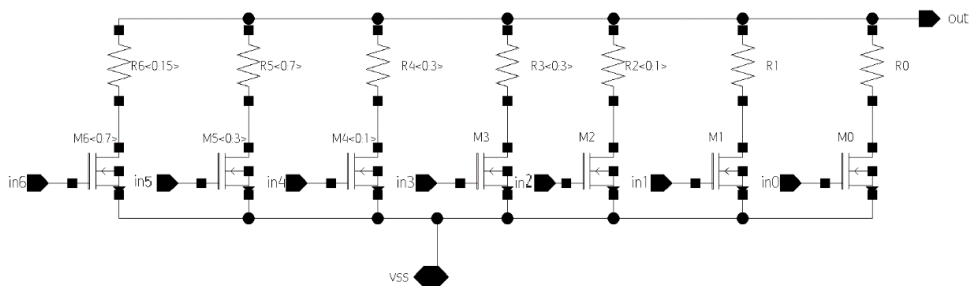
Pull Up և Pull Down շղթաները նախագծվել են ռեզիստորի և տրանզիստորի հաջորդական միացմամբ բլոկների զուգահեռ միացմամբ: Ռեզիստորների դիմադրություններն ընտրված են այնպես, որ ամեն հաջորդ ռեզիստորի դիմադրությունը 2 անգամ փոքր է նախորդի դիմադրությունից, ինչպես նաև ամեն հաջորդ տրանզիստորի ֆիզիկական չափերը մոտավորապես երկու անգամ ավելի մեծ են, քան նախորդի չափերը:

Նկ. 2-ում ներկայացված է P-ՄՕԿ տրանզիստորների և ռեզիստորների հաջորդական միացման բլոկներով իրականացված դիմադրության Pull Up հանգույցի սխեմատիկական պատկերը:



Նկ. 2. Pull Up շղթան

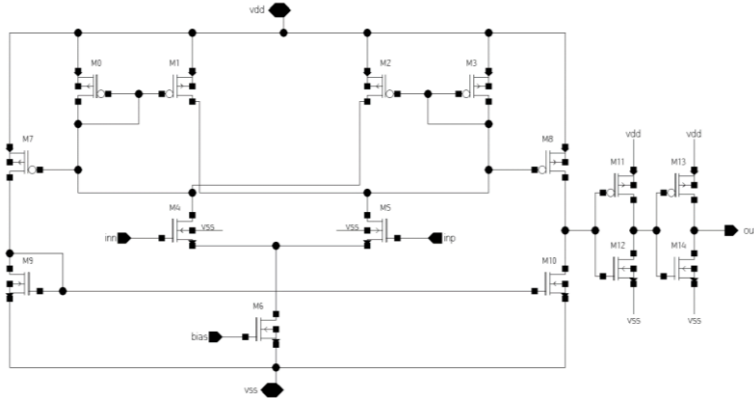
Սխեման կառավարվում է 7-բիթանի մուտքային ազդանշանով: Մուտքային ազդանշանի ավելի ավագ բիթը ղեկավարում է ավելի փոքր դիմադրություն ունեցող բլոկը: Այս սխեմայում հաղորդչի ավիքային դիմադրության (50 Օմ) ամենամոտ արժեքը կազմել է 49,95 Օմ: Նույն մոտեցմամբ նախագծվել է Pull Down շղթան (նկ. 3), որն ապահովում է 50.56 Օմ դիմադրություն: Այսպիսով՝ դիմադրության առավելագույն շեղումն է 1.12%: Հետևաբար, նախագծված համակարգը բավարարում է դիմադրության առավելագույնը 2% շեղում ունենալու պահանջը:



Նկ. 3. Pull Down շղթան

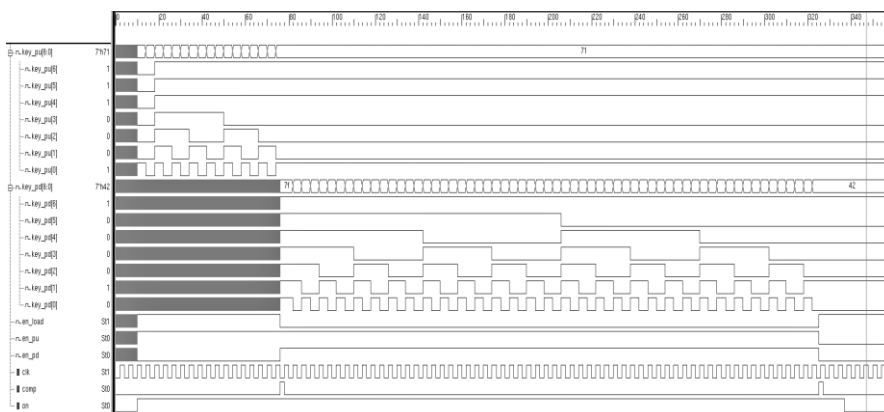
Ղեկավարող տրամաբանությունը փոխանջատման բանալիների, տակտային ազդանշանով ղեկավարվող տրիգերների, հետադարձ հաշվիչների և այլ թվային տրամաբանական տարրերի համակարգ է, որը պատասխանատու է դիմադրությունների կարգաբերման համակարգի անխափան և ճշգրիտ աշխատանքի համար:

Համեմատիչը սարք է [4], որը համեմատում է 2 մուտքերին տրված անալոգային ազդանշանները՝ ելքում պահելով թվային “1” կամ “0”: Այն նախագծվել է նկ. 4-ի սխեմայի հիման վրա: Հետազոտությունների արդյունքում պարզվել է, որ համեմատչի զգայնությունը 2.1 մՎ է:



Նկ. 4. Համեմատչի սխեման

Դիմադրության կարգաբերման համակարգի աշխատանքային նկարագիրը: Աշխատանքի սկզբում ղեկավարող տրամաբանությունը միացնում է Pull Up շղթան և R_load-ը համեմատչի մուտքին և հետագայում հաշվիչի միջոցով աստիճանաբար փոքրացնում PU շղթայի դիմադրությունը: Երբ այն հասնի 50 Օմ դիմադրության, ապա համեմատչի ելքը կփոխանջատվի, և այդ ժամանակ տրամաբանությունը կանջատի R_load -ը՝ փոխարենը միացնելով Pull Down շղթան: Հետագայում հաշվիչի զրոյացումից հետո այն կտրվի Pull Down շղթայի մուտքին, որի դիմադրությունը կսկսի աստիճանաբար աճել: Երբ նրա դիմադրությունը հասնի անվանական արժեքին, համեմատչի ելքը ևս մեկ անգամ կփոխանջատվի, և ղեկավարող տրամաբանությունը կանջատի արդեն կարգաբերված Pull Up և Pull Down շղթաները համակարգից: Նկ. 5-ում ներկայացված է կարգաբերման համակարգի աշխատանքը:



Նկ. 5. Դիմադրության կարգաբերման համակարգի աշխատանքը

Եզրակացություն: Նախագծվել է 14-նանոմետրանոց ԿՄՕԿ տեխնոլոգիական գործընթացի համար մուտք/ելք հանգույցների դիմադրության համաձայնեցման անալոգաթվային համակարգ, որը բավարարում է խնդրի պահանջներին: Այն ապահովում է մուտք/ելք հանգույցներում կարգաբերված դիմադրության առավելագույնը 2% շեղում դիմադրության անվանական արժեքից:

ԳՐԱԿԱՆՈՒԹՅԱՆ ՑԱՆԿ

1. **Razavi B.** Design of Analog CMOS Integrated Circuits.- Tata McGraw –Hill, 2015.- 693p.
2. Proper Termination for High-Speed Digital I/O Applications.- May, 2014, www.ni.com
3. **Yadav Ajay, Khandelwal Saurabh, Akashe Shyam.** Compact Low-Power High Slew-Rate CMOS Buffer Amplifier With Power Gating Technique // International Journal of VLSI design & Communication Systems (VLSICS).- June, 2014.- Vol.5, No.3.- P. 13-24.
4. **Baker Jacob R.** CMOS Circuit Design, Layout, and Simulation.- Third Edition.- A JOHN WILEY & SONS, INC., PUBLICATION, 2010.

Г.А. ОГАНЯН, М.Т. МАНВЕЛЯН, Н.Г. МАРГАРЯН, М.Ц. АЙВАЗЯН ПРОЕКТИРОВАНИЕ СХЕМЫ КАЛИБРОВКИ СОПРОТИВЛЕНИЯ УЗЛОВ ВВОДА/ВЫВОДА НА ОСНОВЕ 14-НАНОМЕТРОВОЙ ТЕХНОЛОГИИ КМОП

Разработана аналого-цифровая система для калибровки сопротивления узлов ввода/вывода, которая обеспечивает максимальное отклонение сопротивления (до 2%) для 14-нанометрового технологического процесса КМОП (комплементарная структура металл-оксид-полупроводник). Рабочее напряжение схемы – 1.8 В. В ходе исследования была выделена одна схема. Параметрическая оптимизация проводилась с помощью модели SPICE, а физическое моделирование - с помощью программного инструмента Custom Compiler. Отображение и измерение результатов проводилось через программный инструмент WaveView. Дано поведенческое описание управляющей логики и синтезирована соответствующая схема с помощью инструментов Verilog и Design Compiler.

Ключевые слова: компаратор, SPICE, калибровка сопротивления, длинная линия, узел ввода/вывода.

G.A. OHANYAN, M.T. MANVELYAN, N.G. MARGARYAN,
M.TS. AIVAZYAN

**DESIGN OF RESISTANCE CALIBRATION CIRCUIT OF THE NODES
OF I/O BASED ON THE 14 NM TECHNOLOGY CMOS**

An analog-to-digital system has been developed for matching the resistance of an I/O node that will have a maximum resistance deviation of up to 2% for the 14nm CMOS process. The operating voltage of the circuit is 1.8 V. During the research, one scheme was observed, parametric optimization was performed through the SPICE model, physical modeling was performed using Custom Compiler. The results were displayed and measured using WaveView. Also a behavioral description of the leading/control logic was given and a corresponding scheme was synthesized using the Verilog and DesCompiler tools.

Keywords: Comparator, SPICE, resistance calibration, long line, I/O nodes.

ՀՏԴ 004.312.46:681

Է.Ա. ՄԱԿԱՐՅԱՆ

**ՀԱՎԱԶԴՊՈՂ ՊՈՏԵՆՑԻԱԼ ԱՐԳԵԼՔՆԵՐՈՎ ՖՈՏՈԴԵՏԵԿՏՈՐԱՅԻՆ
ԿԱՌՈՒՑՎԱԾՔԻ ՎԱՐ – Ի ԵՎ ՎՖՐ – Ի ՀԵՏԱԶՈՏՈՒՄԸ**

Ներկայացված են հակազդող պոտենցիալ արգելքներով կիսահաղորդչային կառուցվածքի վոլտամպերային (ՎԱՐ) և վոլտֆարադային (ՎՖՐ) բնութագրերի հետազոտության արդյունքները: Բացահայտվել է մթնային և լուսային ՎԱՐ – երի և ՎՖՐ – ների, ինչպես նաև լարումից կախված ալիքի տարբեր երկարություններում ֆոտոհոսանքի նշանափոխման առանձնատկության և արգելքների բարձրությունների տարբերության կապը:

Առանցքային բաներ. օպտիկական ազդանշան, ֆոտոդետեկտոր, երկարգելք կառուցվածք, ճառագայթի սպեկտր:

Ներածություն: Ներկայումս հետազոտողների ուշադրության կենտրոնում են սպեկտրաչափական հատկություններով կիսահաղորդչային կառուցվածքների մշակումը և հետազոտումը [1...5]: Այդ ուղղությամբ [5...9] աշխատանքներում հետազոտվել են հակազդող պոտենցիալ արգելքներով կառուցվածքների սպեկտրային ընտրողական զգայնության, որոշակի կառուցվածքի և ստացման տեխնոլոգիայի պայմաններում անոմալ բարձր ֆոտոզգայնության առանձնահատկությունները [6...9]: Հետազոտվող կառուցվածքում ընթացող ֆոտոէլեկտրոնային գործընթացների պարզաբանման համար անհրաժեշտ է նաև մթնային և լուսային վոլտամպերային և վոլտֆարադային բնութագրերի հետազոտումը, ինչին նվիրված է սույն աշխատանքը: