

**ԷԼԵԿՏՐՈՆԻԿԱ, ՄԻԿՐՈԷԼԵԿՏՐՈՆԻԿԱ ԵՎ
ՆԱՆՈԷԼԵԿՏՐՈՆԻԿԱ**

ՀՏԴ 621.382

Կ.Ա. ՄԵԼԻՔՅԱՆ, Ա.Օ. ՊԵՏՐՈՍՅԱՆ

**ԵՌԱԶԱՓ ՓԱԿԱՆՈՎ ՏՐԱՆԶԻՍՏՈՐՆԵՐԻ ԻՆՏԵԳՐԱԼ ՍԽԵՄԱՆԵՐԻ
ԲԱԶԱՅԻՆ ՏԱՐՐԵՐԻ ՀԵՏԱԶՈՏՈՒՄԸ ԵՎ ՄՈԴԵԼԱՎՈՐՈՒՄԸ**

Դիտարկվել են ժամանակակից գերմեծ ինտեգրալ սխեմաներում կիրառվող եռաչափ փականով տրանզիստորների (Fin Field Eeffect transistor, Finfet) կառուցվածքային առանձնահատկությունները: Ներկայացված են Finfet տրանզիստորների հիման վրա բազային տրամաբանական տարրերի էլեկտրական սխեմաները և դրանց տոպոլոգիական իրականացումները տարբեր քանակի լողաթևերի դեպքում:

Առանցքային բաներ. եռաչափ փականով տրանզիստոր, կարճ միացմամբ փականով տրանզիստոր, անկախ փականով տրանզիստոր, հիբրիդ տրանզիստոր:

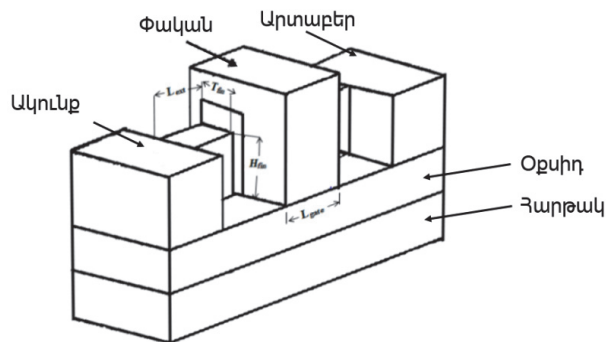
Ներածություն: Տեխնոլոգիական զարգացմանը զուգընթաց՝ մետաղ-օքսիդ-կիսահաղորդիչ եռաչափ փականով տրանզիստորների (ՄՈԿ) չափերը փոքրանում են [1]: Սակայն ունեն ավելի մեծ պարագիտային ունակություններ և դիմադրություններ, այդ իսկ պատճառով կարևոր է հետևել մի շարք պահանջների բավարարմանը, ինչպիսիք են՝ արագագործությունը, ցրման հզորությունը, արդյունավետությունը և այլ պարամետրեր: ՄՈԿ տեխնոլոգիաների փոքրացումը՝ 22նմ-ից 14նմ տեխնոլոգիա, մեծ քանակով առավելություններ ստեղծելով, առաջ է քաշել նաև մի շարք լուրջ խնդիրներ, որոնք կառավարելի են դառնում ճիշտ կառուցման դեպքում [2]:

Հիմնական խնդիրներից մեկն է կարճ հոսքուղու ազդեցությունը, որը ներկայացնում է հոսքուղով էլեկտրոնների ընթացքով ակունք-արտաբեր լարման մեծացումը: Այն առաջանում է հոսքուղու փոքրացման ժամանակ: Դա է պատճառը, որ փականի օքսիդի բարակացմանը զուգընթաց՝ հարկավոր է հետազոտել սահմանային լարումը և արտադրողականությունը: Փականի օքսիդի բարակումը հանգեցնում է կորստային հոսանքի աճին, որն էլ իր հերթին՝ արտադրողականության և հզորության նվազմանը: Իդեալական դեպքում, երբ փական-ակունք լարումը մոտ է իր սահմանային արժեքին, հոսանքը ակունքի և արտաբերի միջև պետք է լինի զրոյական: Սակայն քանի որ դա գործնականորեն ապահովել հնարավոր չէ, ստանում ենք ցրման հզորության աճ:

Այս և նմանատիպ խնդիրներից խուսափելու և սխեմայի օպտիմալ աշխատանքն ապահովելու համար օգագործում ենք տարբեր տիպի փականներով կի-

սահադրոդիչներ, որոնք սխեմայի արտադրության փուլը առավել դյուրին են դարձնում:

Եռաչափ փականով տրանզիստորների տեխնոլոգիա: Եռաչափ փականով տրանզիստորները բաղկացած են լողակներից, որոնք ներկայացնում են փականներ՝ ուղղահայաց դասավորվածությամբ ակունք-արտաբեր կապին (նկ. 1): Այս տիպի տրանզիստորներն օգտագործվում են System on Chip (SoC) տիպի սխեմաներում [3]:



Նկ. 1. Եռաչափ փականով տրանզիստորի կառուցվածքը

Արդյունավետ հոսքուղու երկարությունը [4].

$$L_{eff} = L_{gate} + 2 * L_{ext},$$

որտեղ L_{gate} -ը փականի երկարությունն է, իսկ L_{ext} -ը՝ փական-ակունք կամ փական-արտաբեր երկարությունը:

Լայնությունը՝

$$W = T_{fin} + 2 * H_{fin},$$

որտեղ T_{fin} -ը լայնությունն է, H_{fin} -ը՝ բարձրությունը:

Կարճ միացմամբ փականով տրանզիստորներում առավել արդյունավետ է $T_{fin} \sim L_{gate}/2$ հարաբերակցությունը [5]:

Նախագծման փուլում, կախված տեխնոլոգիական պահանջներից, անհրաժեշտ է լինում փոխել եռաչափ փականով տրանզիստորների լողակների քանակը՝ պահանջված ճշտությամբ ազդանշան ստանալու համար: Սակայն պետք է հաշվի առնել չափերի մեծացման հետ կապված խնդիրները: Առաջին հերթին պետք է ընտրված լինի տեխնոլոգիան: Տեխնոլոգիաների տարատեսակներից են [6]

- Կարճ միացմամբ փականով տրանզիստորները (ԿՄՓ), որտեղ փականը ակունքի և արտաբերի համար աշխատում է միևնույն աշխատանքային ռեժիմում: Այս տիպում փականի երկու լողակները կապված են:

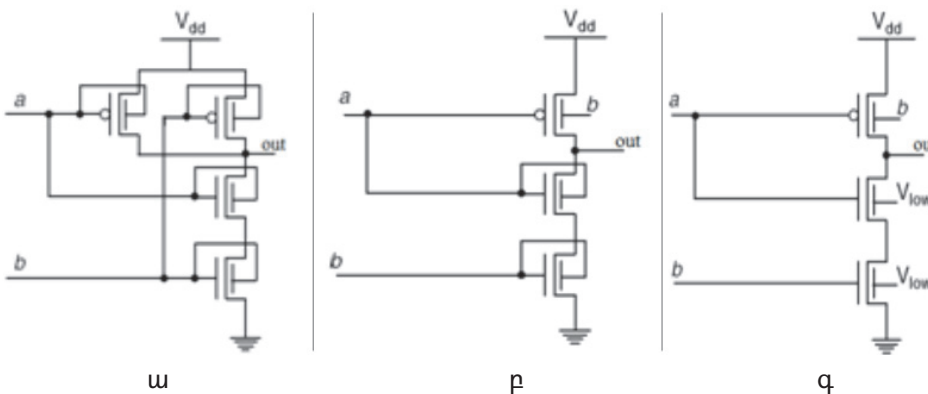
▪ Անկախ փականով տրանզիստորները (ԱՓՏ), որտեղ ելքային ճակատի աճը ապահովող տրանզիստորների փականները անկախ ռեժիմում են: Փականներին տրվում են երկու անկախ լարումներ: Դա թույլ է տալիս ելքում հավելյալ կառավարում հաղորդել տրանզիստորին:

▪ Հիբրիդ տրանզիստորներ (<S), որոնք անկախ փականով և ցածր լարումով տրանզիստորների համադրությունն են: Այս դեպքում ելքային ճակատի նվազումն ապահովող տրանզիստորներին տրվում է հավելյալ լարում:

Շռաչափ փականով տրանզիստորներում ԵՎ-ՈՉ-ի և լարման փոխակերպչի տիպեր: Նկ. 2 ա), բ), գ),-ում պատկերված են ԵՎ-ՈՉ սխեմաներ՝ կառուցված ԿՄՓ, ԱՓ և հիբրիդ տեսակի տրանզիստորներով [7]: 22նմ տեխնոլոգիաները օգտագործվում են տարբեր տեսակի սխեմային միացումներում, այդ իսկ պատճառով նպատակահարմար է հետազոտել թե տրանզիստորների լողակների թվից կախված փոփոխությունները, թե փականի վրա անկման լարման ազդեցությունը [8]: ԵՎ-ՈՉ տարրի մուտքերից կախված ելքի արդյունքը տրված է իսկության աղ. 1-ում:

Աղյուսակ 1

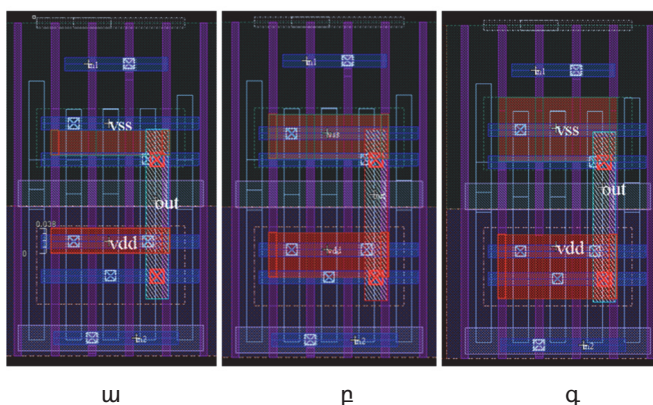
Մուտք 1	Մուտք 2	Ելք
0	0	1
0	1	1
1	0	1
1	1	0



Նկ. 2. ա) Կարճ միացմամբ փականով, բ) անկախ փականով և գ) հիբրիդ տրանզիստորներով կառուցված NAND սխեմաներ

14նմ և 22նմ տեխնոլոգիաներով կատարված փորձերի արդյունքները.

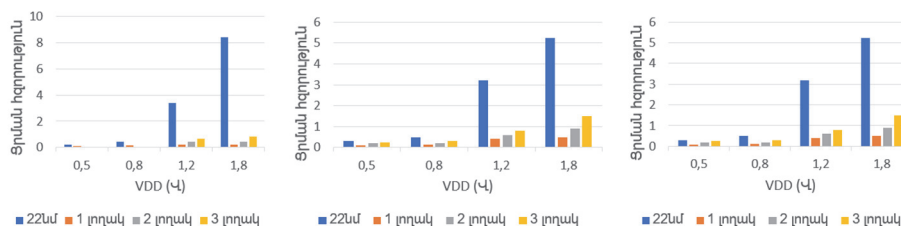
Հետազոտությունները կատարվել են երկու տեսակի՝ 22 և 14 նանոմետրանոց տեխնոլոգիաներով: Կառուցվել են 1,2,3 լողակներով ԵՎ—ՈՉ տարրեր երկու տեխնոլոգիաներում: Ֆիզիկական նախագծումը կատարվել է Custom Compiler ծրագրային փաթեթի միջոցով հաստատուն փականի լայնությամբ համապատասխան տեխնոլոգիաներում (նկ.3): Հապաղումները և ցրման հզորությունները ներկայացված են աղ. 2-3 -ում և գրաֆիկական արտապատկերումներում (նկ. 4):



Նկ. 3. ԵՎ-ՈՉ տարրի ֆիզիկական նախագծումը 1(ա) 2(բ) 3(գ) լողակավոր տրանզիստրոնների դեպքում

Աղյուսակ 2

Հապաղում(պվ)	22 nm ԵՎ-ՈՉ	14nm 1 լողակավոր	14nm 2 լողակավոր	14nm 3 լողակավոր
Ճակատի անկում	12	21	14	13
Ճակատի աճ	10	12	12	10



Նկ. 4. Ցրման հզորությունը կարճ միացմամբ փականով տրանզիստրոններով կառուցված ԵՎ-ՈՉ տարրերում

Լարման անկում VDD (Վ)	Ցրման հզորություն (μW)			
	22nm պլանար	14nm 1 լողակավոր	14nm 2 լողակավոր	14nm 3 լողակավոր
0,5	0.214	0.08	0.012	0.024
0,8	0.423	0.13	0.018	0.025
1,2	0.924	0.21	0.43	0.68
1,8	5.23	0.22	0.45	0.84
2,5	8.45	0.26	0.53	0.91

Եզրակացություն: Դիտարկվել են եռաչափ փականով տրանզիստորների սխեմաներ: Հետազոտվել են դրանց ցրման հզորությունները և ճակատների տևողությունները: Հետազոտություններն արվել են տարբեր լարումներով և լողակների քանակներով, 400Uhg հաճախությամբ:

ԳՐԱԿԱՆՈՒԹՅԱՆ ՑԱՆԿ

1. **Manorama, Pavan Shrivastava, Saurabh Khandelwal and Shyam Akashe.** Threshold Voltage Control through Multiple Supply for Low Power IG-FinFET Circuit // International Journal of Computer Applications (0975 – 8887). - September, 2013. - Vol. 78, – No.8. –P. 11-15.
2. **Mahender Veshala, Ramchander Jatooth and Kota Rajesh Reddy,** Reduction of Short-Channel Effects in FinFET // International Journal of Engineering and Innovative Technology (IJEIT). - March 2013. - Vol. 2, issue 9. – P. 118-124.
3. **Prateek Mishra, Anish Muttreja and Niraj K. Jha.** FinFET Circuit Design. - Department of Electrical Engineering, Princeton University, NJ, USA. 2011.
4. **Kumar V.Raj and Alfred kirubaraj A.** Submicron 70nm CMOS Logic Design With FINFETs // International Journal of Engineering Science and Technology.-2010.- Vol. 2(9). -P. 4751-4758.
5. **Anil K. G., Henson K., Biesemans S. and Collaert N.** Layout Density Analysis of FinFETs, InterUniversity Microelectronics Center, 75 Kapeldreef, 3000.- Leuven, Belgium, 2003.
6. **Wang Michael C.** Independent-Gate FinFETs Circuit Design Methodology// International Journal of Computer Science (IAENG). -July 2006.-37:1, IJCS_37_1_06:
7. Leakage Power Dependent Temperature Estimation to predict Thermal Runaway in FinFET Circuits/**Jung Hwan Choi, AdityaBansal, MesutMeterelliyoz, et al** // Electrical and Computer Engineering.- Mechanical Engineering, Purdue University, 2006.
8. **Anish Muttreja, NiketAgarwal and Niraj K. Jha,** CMOS Logic Design with Independent-gate FinFET / Dept.of Electrical Engineering, Princeton University, Princeton, NJ 08544, Nov.2007.

К.А. МЕЛИКЯН, А.О. ПЕТРОСЯН

**ИССЛЕДОВАНИЕ И МОДЕЛИРОВАНИЕ БАЗОВЫХ ЭЛЕМЕНТОВ
ИНТЕГРАЛЬНЫХ СХЕМ ТРАНЗИСТОРОВ С ТРЕХМЕРНЫМ
ЗАТВОРОМ**

Рассмотрены характеристики транзисторов с трехмерным затвором (FinFet) в современных сверхбольших интегральных схемах. Представлены схемы базовых логических элементов на основе FinFets и их топологии при разном количестве.

Ключевые слова: транзистор с трехмерным затвором, транзистор с коротким затвором, транзистор с независимым затвором, гибридный транзистор.

K.A. MELIKYAN, A.O. PETROSYAN

**RESEARCH AND MODELING OF FIN FIELD EFFECT TRANSISTORS
BASED ON THE BASIC ELEMENTS**

The structural peculiarities of transistors with a three dimensional gate Fin Field Effect (FinFet) used in Very Large Scale Integrated (VLSI) circuits are considered. The circuits of basic logic elements are based on FinFet transistors, their topology with a varying

Keywords: Fin Field Effect transistor, Short gate (SG), Independent gate (IG), hybrid transistor.

ՀՏԴ 681.3.06

Ա.Ա. ԼԱԼԱՅԱՆ, Մ.Ա. ՄՈՒՐԱԴՅԱՆ

ANDROID ՀԱՄԱԿԱՐԳՈՒՄ ՎԻՐՏՈՒԱԼ ՕՍՑԻԼՈՍԿՈՊԻ ՄՇԱԿՈՒՄԸ

Ներկայացվում է Smart հեռախոսի բազայի վրա, Android օպերացիոն համակարգում մշակված օսցիլոսկոպ, որն օժտված է է բազմազան ֆունկցիաներով, այդ թվում՝ ազդանշանի պատկերի հիշում, կուտակում, մասշտաբավորում, սպեկտրի անալիզ, ապարատային կարգաբերում, «թաչ սքրին» կոճակներով ղեկավարում, կետերի ընտրություն, մենյուների կիրառություն և այլն: Մշակված է ազդանշանի կարգաբերումը և հետազոտվող հանգույցի հետ համաձայնեցումը կատարող անալոգային օժանդակ հանգույց: Ծրագրային ապահովումը կատարված է Java լեզվով, Android-ի օժանդակ գրադարանների կիրառությամբ, իրագործված է սարքի մի քանի Smart հեռախոսների հետ փորձարկված մոդելը:

Առանցքային բառեր. օսցիլոսկոպ, անդրոիդ, ծրագիր, սմարթֆոն, կցորդ, սինքրոնացում, հիշողություն, մենյու, սպեկտրավերլուծիչ:

Ներկայացված մշակման հիմք է հանդիսանում [1-5] -ում բերված ապարատային և վիրտուալ օսցիլոսկոպների և սպեկտրավերլուծիչների [6,7] իրագործ-