

#### Կ.Օ. ՊԵՏՐՈՍՅԱՆ

### ՑԱԾԻ ԷՆԵՐԳԱՍՊԱՌՄԱՐԲ ԵՎ ԱՐԱԳԱԳՈՐԾ ՀԱՍՑԵՆԵՐԻ ՎԵՐԾԱՆԻՉՆԵՐԻ ԿԱՌՈՒՅՄԱՆ ՄԵԹՈԴԻ ՄՇԱԿՈՒՄԸ

Հետազոտվել են վերծանիչների կառուցման սկզբունքները: Առաջարկվել են վերծանիչների սխեմատեխնիկական լուծումներ՝ հաղորդման փականների հիման վրա: Կատարվել են մոդելավորում և ստացված արդյունքների համեմատական վերլուծություն, հաստատվել են առաջարկված մեթոդով մշակված վերծանիչների ցածր էներգասպառումը և բարձր արագագործությունը:

**Առանցքային բառեր.** հիշող սարք, վերծանիչ, մոդելավորում, հապաղման ժամանակ:

**Ներածություն:** Ժամանակակից գերմեծ ինտեգրալ սխեմաներում (ԳՄԻՍ) իրենց ուրույն տեղն ունեն ստատիկ օպերատիվ հիշող սարքերը (ՍՕՀՍ), որոնք զբաղեցնում են ԳՄԻՍ-ների ընդհանուր մակերեսի 80...85%-ը [1]: ՍՕՀՍ-ը բաղկացած է տողերի և սյուների վերծանիչներ, ուժեղարարից, մուտքային տվյալների բուֆերից, կուտակիչից և կառավարման հանգույցից:

Տեխնիկական գրականությունում բերված տվյալների վերլուծությունը ցույց է տալիս, որ վերծանիչների վրա են ծախսվում հիշող բջջի գրանցման և ընթերցման ժամանակ դիմելու ժամանակի մոտավորապես 50%-ը և ցրման հզորության 40-45%-ը [1]: Հետևաբար, ՍՕՀՍ-ների նախագծման ժամանակ արդիական խնդիրներ են արագագործության մեծացումը և սպառման հզորության փոքրացումը, որոնք կախված են դրանց ճարտարապետությունից, կուտակիչի և հիշող տարրերի ու կառավարման սխեմաների սխեմատեխնիկական լուծումներից:

**Խնդրի դրվածքը և մեթոդիկայի հիմնավորումը:** Աշխատանքի նպատակն է հապաղման փականների հիման վրա մշակել ցածր էներգասպառմամբ և բարձր արագագործությամբ վերծանիչներ կառուցելու մեթոդ և առաջարկել մեթոդիկա վերծանիչների մուտքերի միացման ճիշտ ընտրության համար, որը թույլ կտա վերացնել մուտքերի ասիմետրիկությունը:

**Հետազոտման արդյունքները:** Վերծանիչները հիմնականում կառուցվում են գծային, բուրգային (բազմաստիճանային) և ուղղանկյուն մատրիցային կառուցվածքներով [1]: Վերծանիչը կոմբինացիոն տրամաբանական սարք է, որն ունի  $n$  մուտք և իրականացնում է  $2^n$  մինիթերմ (մաքսիթերմ)։

$$F_i = Y_i(a) = \prod_{p=1}^n x_p^{b_p},$$

որտեղ  $a = (x_n, \dots, x_1)$ ,  $i = b_n \dots b_1$ - երկուական,  $i = 0, 1, \dots, 2^n$ - տասական թվեր են:

Գծային վերծանիչներն իրականացնում են մուտքային  $n$ -կարգանի կոդի մեկ աստիճանային վերծանում՝  $n$ -մուտքանի տարրերով, ապահովելով ազդանշանների նվազագույն հապաղում, որը որոշվում է տարրերի ազդանշանների տարածման հապաղման ժամանակով:  $n$  մուտքերով գծային վերծանիչների իրականացման համար անհրաժեշտ են  $(n - 1)2^n$  երկմուտքանի ԵՎ տարրեր: Մուտքային կոդի  $n$  կարգայնության մեծացման հետ արագ աճում է յուրաքանչյուր մուտքի բեռը: Վերծանիչների գծային կառուցվածքը սովորաբար կիրառվում է, երբ  $n \leq 4$ :

Երբ  $n > 4$ , ավելի նպատակահարմար է կիրառել բուրգային վերծանիչներ, որոնց առաջին աստիճանը հանդիսանում է չորս ելքերով գծային վերծանիչ: Յուրաքանչյուր հաջորդ աստիճանը ղեկավարվում է լրացուցիչ մուտքով և կրկնապատկում է ելքերի թիվը: Բուրգային վերծանիչները կառուցվում են երկ- մուտքանի տարրերով, և դրանց հապաղման ժամանակը  $\kappa$  անգամ մեծ է, քան գծայինին: Բուրգային վերծանիչների կառուցման համար պահանջվում են  $4(2^{n-1} - 1)$  երկմուտքանի ԵՎ տարրեր: Սակայն աստիճանների թվի մեծացման հետ աճում է նոր մտցված փոփոխականների համար տրամաբանական տարրերի բեռը:

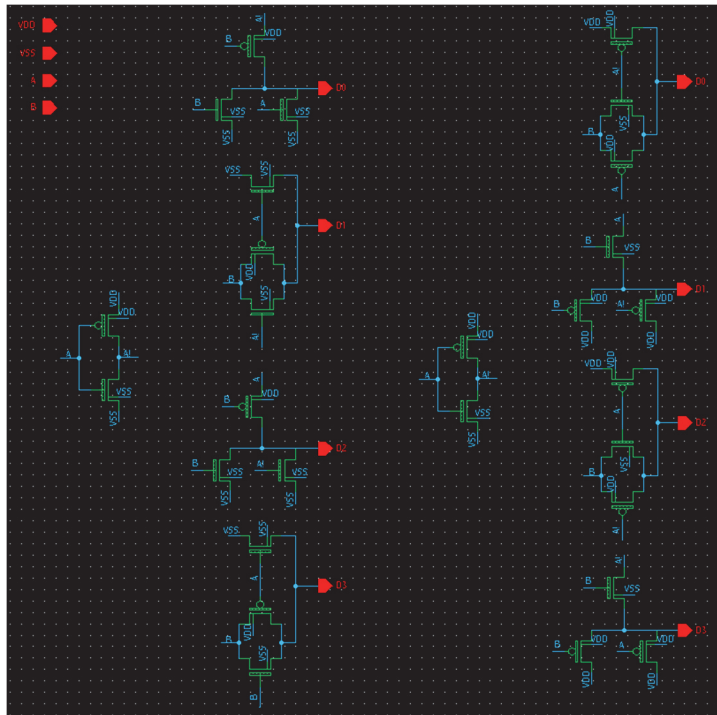
Երբ մուտքերի թիվը  $n > 5$ , վերծանիչները նպատակահարմար է կառուցել ուղղանկյուն մատրիցային կառուցվածքով:  $n$ -մուտքանի վերծանիչների կառուցման դեպքում բոլոր մուտքերը բաժանվում են երկու խմբի այնպես, որ զույգ  $n$ -ի դեպքում յուրաքանչյուր խմբում մուտքերի թիվը լինի հավասար  $n/2$ , իսկ կենտ  $n$ -ի դեպքում խմբերում մուտքերի թիվն ընտրվում է  $(n+1)/2$  և  $(n-1)/2$ : Մուտքերի յուրաքանչյուր խմբի համար կառուցում են առաջին աստիճանի վերծանիչներ, իսկ դրանց ելքային ազդանշանները տրվում են վերծանիչի երկրորդ աստիճանին, որը ձևավորում է ելքային ազդանշանները: Այս վերծանիչների արագագործությունը ավելի բարձր է, քան բուրգայինինը, բայց ցածր է գծայինինից: Այս վերծանիչների երկմուտքանի ԵՎ տարրերի թիվը որոշվում է հետևյալ արտահայտությամբ.

$$N_n = 2^n + N_{m/2((m+1)/2)} + N_{m/2((m-1)/2)}:$$

ԿՄՕԿ տեխնալոգիայում օգտագործվում են ԵՎ-ՈՉ կամ ԿԱՄ-ՈՉ տարրեր, ոչ թե ԵՎ կամ ԿԱՄ տարրեր, քանի որ ԵՎ-ՈՉ և ԿԱՄ-ՈՉ տարրերն իրականացվում են 4 տրանզիստորով, իսկ ԵՎ և ԿԱՄ տարրերը՝ 6 տրանզիստորով: 2-4

գծային վերծանիչներն իրականացվում են 20 տրանզիստորներով, իսկ 4-16-ը՝ 104-ով:

Առաջարկվում է վերծանիչների կառուցման համար կիրառել ԵՎ և ԿԱՄ տրամաբանական տարրեր՝ իրականացված հաղորդման փականների հիման վրա [2-4]: Նկ.1 և 2-ում բերված են ցածր հզորությամբ և բարձր արագագործությամբ ուղիղ և ինվերս ելքերով վերծանիչների սխեմաները, իսկ նկ.3 – 6-ում՝ դրանց մոդելավորման արդյունքները՝ իրականացված SAED 14 նմ ծրագրային փաթեթով: Նկ.1-ում բերված վերծանիչները նկ.2-ում բերվածների համեմատ 1 տրանզիստորով պակաս ունեն, որը թույլ է տալիս նվազարկել սպառման հզորությունը, իսկ արագագործ սխեմային թույլ է տալիս մուտքային ազդանշանը ավելի լավ ընկալել: Նկ.1 և 2-ում բերված վերծանիչների սխեմաներում առկա է ասիմետրիա, որը պայմանավորված է մուտքերի մուտքային ունակության տարբերությամբ: Այս դեպքում անհրաժեշտ է ճիշտ ընտրել մուտքերի միացումը, այսինքն այն ազդանշանը, որն ավելի արագ է փոխանջատվելու, սխեմայում անհրաժեշտ է միացնել փոքր մուտքային ունակությամբ մուտքին, իսկ դանդաղ փոխանջատվող ազդանշանը՝ մեծ մուտքային ունակությամբ մուտքին:

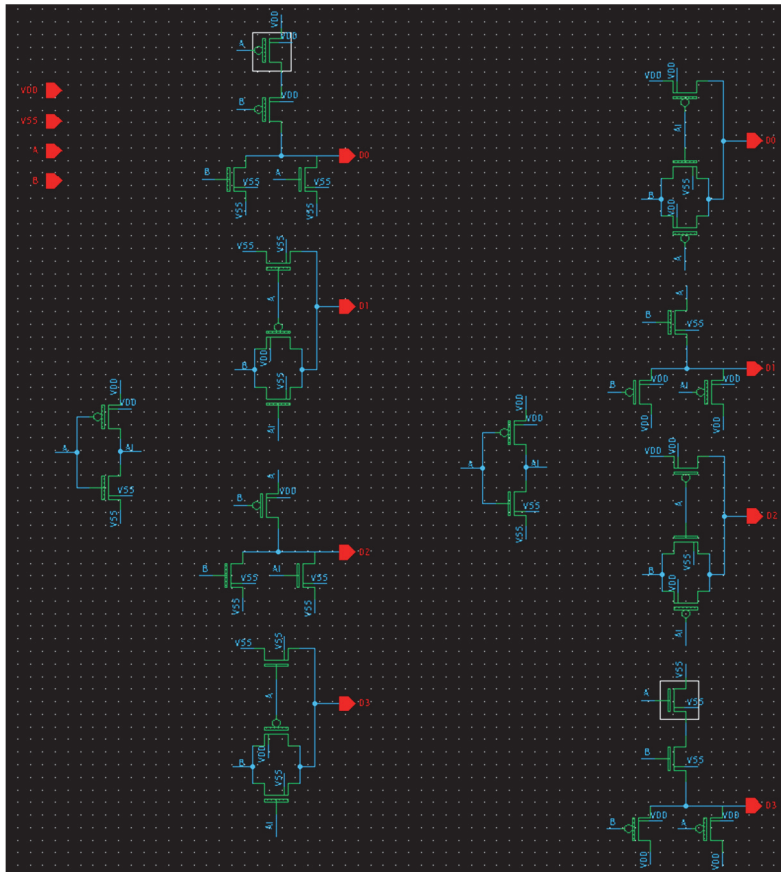


Նկ. 1. Ցածր էներգասպառմամբ 2x4 ուղիղ LP և ինվերս LPI ելքերով վերծանիչների սխեմաները

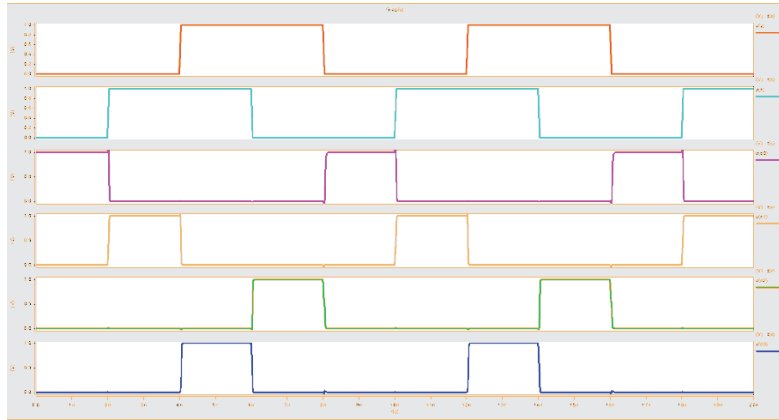
Առաջարկված 2x4 վերծանիչները (նկ.1,2) ընդունելով որպես նախավերծանիչ՝ կարելի է կառուցել համապատասխանաբար 4x16 ցածր էներգասպառմամբ և արագագործ վերծանիչներ՝ օգտագործելով վերը վերլուծված վերծանիչների կառուցման ուղղանկյուն մատրիցային եղանակը:

Մշակված վերծանիչների սխեմաների ասիմետրիկության վերացման համար մշակվել է մեթոդիկա՝ հիմնվելով ընդհանրացված հավանականային մեթոդի վրա [5], որի էությունը բերվում է հետևյալին .

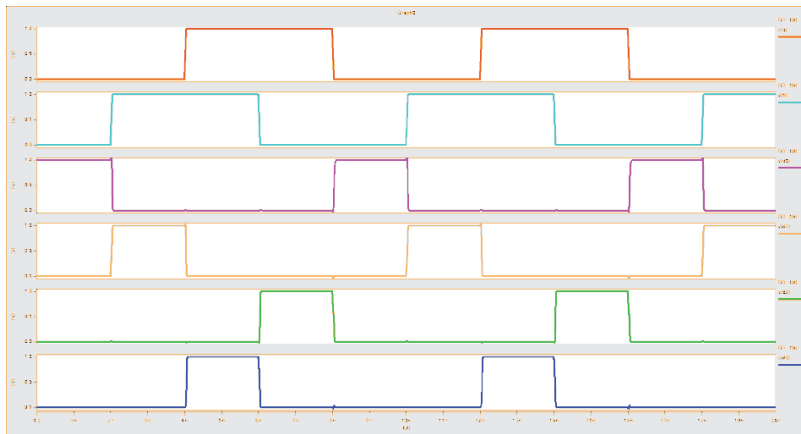
1. Անհրաժեշտ է գնահատել մուտքերի փոխանջատման հավանականությունները՝  $P_1, P_2, \dots, P_n$  [4,5]:
2.  $\text{sort}(P_1, P_2, \dots, P_n)$  հավանականությունները դասակարգել ըստ նվազման:
3. Առավելագույն արագ փոխանջատվող ազդանշանն անհրաժեշտ է միացնել ասիմետրիկ սխեմայի այն մուտքին, որի ճանապարհը դեպի ելք ամենակարճն է:



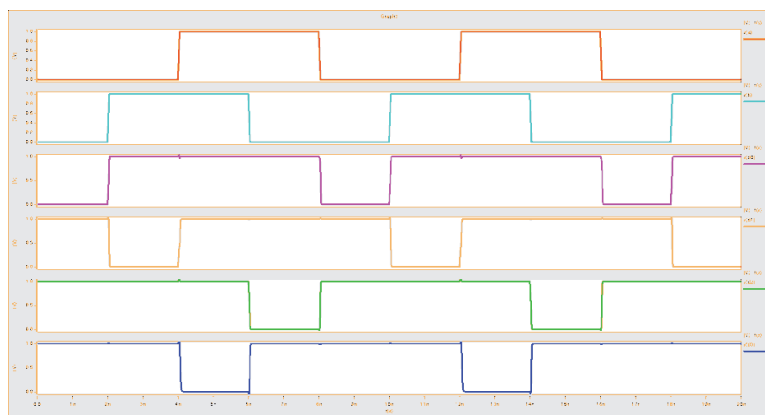
Նկ. 2. Բարձր արագագործությամբ 2x4 ուղիղ HP և ինվերս HPI ելքերով վերծանիչների սխեմաները



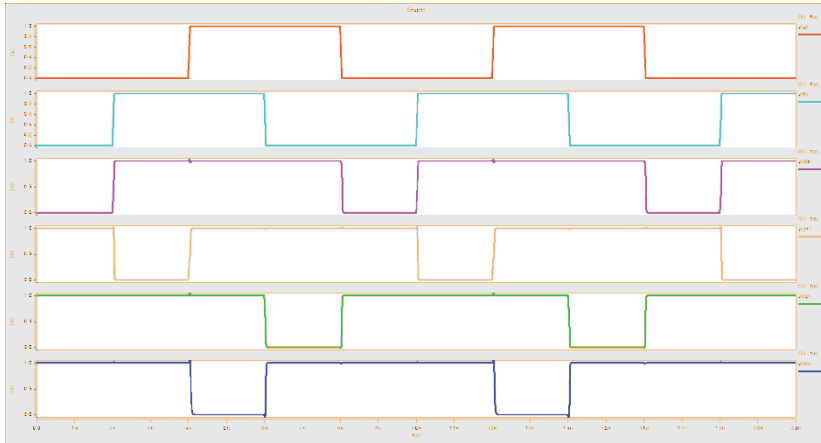
Նկ. 3. Ցածր էներգասպառմամբ 2x4 LP վերծանիչի աշխատանքի դիագրամը



Նկ. 4. Բարձր արագագործությամբ 2x4 HP վերծանիչի աշխատանքի դիագրամը



Նկ. 5. Ցածր էներգասպառմամբ 2x4 LPI վերծանիչի աշխատանքի դիագրամը



Նկ.6. Բարձր արագագործությամբ 2x4 HPI վերծանիչի աշխատանքի դիագրամը

4. Այդ գործընթացը կատարվում է բոլոր մուտքերի դեպքում:

5. Մշակված մեթոդն իրականացված է TCL լեզվով, որի մուտքային տվյալ է հանդիսանում միացվող սխեմայի կոնյուկտիվ նորմալ ձևով բանաձևը:

6. Օպտիմալցման ժամանակ անհրաժեշտ է օգտագործել Բուլյան հանրահաշվի կանոնները:

7. Հավանականության գնահատման համար օգտագործվում է ստացված օպտիմալ բանաձևը:

8. Արդյունքում տրվում է մուտքերի հաջորդականությունը, որը պետք է օգտագործել մուտքերը միացնելու համար:

**Եզրակացություն.**

1. Հաղորդման փականներով տրամաբանության հիման վրա մշակվել է վերծանիչների կառուցման մեթոդ, և առաջարկվել են վերծանիչների չորս սխեմաներ՝ ուղիղ և ինվերս ելքերով: Առաջին և երկրորդ սխեմաներն ապահովում են մոտավորապես 36% ցածր սպառման հզորություն, իսկ երրորդ և չորրորդ սխեմաները՝ մոտավորապես 6,5% բարձր արագագործություն:

2. Առաջարկված վերծանիչների ասիմետրիկության վերացման համար, հիմնվելով ընդհանրացված հավանական մեթոդի վրա, մշակվել է մեթոդիկա՝ մուտքերի ճիշտ միացման համար, մեթոդ՝ TCL լեզվով, որը հնարավորություն է տալիս առավելագույնս օգտագործել մշակված ասիմետրիկ սխեմաների առավելությունը:

## ԳՐԱԿԱՆՈՒԹՅԱՆ ՑԱՆԿ

1. **Petrosyan O.H., Avdalyan N.B., Julhakyan H.K.** The new method development for construction of low power consumption decoders // Proceedings of the Tenth International Conference "SEMICONDUCTOR MICRO - AND NANOELECTRONICS", september 11-13 2015.- Yerevan, Armenia, 2015. - P. 157-163.
2. **Maheswari P., Suneel Babu K.** Design and Analysis of Low Power, High Performance 2-4 and 4-16 Mixed-Logic Line Decoders // International Journal of Research. - December 2018. – Vol. 7, issue XII. - P. 26-35.
3. **Chandra Sekhar Savalam, Korapati Prasanti, Haranath A.S.** Design and Implementation of High Performance and Low Power Mixed Logic Line Decoders // International Journal of Innovative Technology and Exploring Engineering (IJITEE) ISSN: 2278-3075. - April 2019. – Vol. 8, issue 6S4. - P. 635-640.
4. **Gundaboina Shrivani, V. Shankar.** Design of 2-4 decoders and 4-16 decoders using GDI technique // International Journal of Advance Research, Ideas and Innovations in Technology. - 2018. - P. 28-33.
5. **Петросян О.А., Авдалян Н.Б.** Разработка обобщенного метода минимизации рассеиваемой мощности логических КМОП схем // Известия НАН РА и НПУА. Сер. Техн. наук. - 2015.-Т. 68, № 4. - С. 454 – 464.

**К.О. ПЕТРОСЯН**

### **РАЗРАБОТКА МЕТОДА ПОСТРОЕНИЯ ДЕШИФРАТОРОВ С НИЗКИМ ЭНЕРГОПОТРЕБЛЕНИЕМ И ВЫСОКИМ БЫСТРОДЕЙСТВИЕМ**

Исследованы принципы построения дешифраторов. Предложены схемотехнические решения дешифраторов на основе передающих затворов. Проведены моделирование и сравнительный анализ полученных результатов, которые подтвердили низкое энергопотребление и высокое быстродействие дешифраторов, разработанных предложенным методом.

**Ключевые слова:** запоминающее устройство, дешифратор, моделирование, время задержки.

**К.О. PETROSYAN**

### **DEVELOPING A METHOD FOR CONSTRUCTING DECODERS WITH LOW ENERGY CONSUMPTION AND HIGH SPEED**

The principles of constructing decoders are investigated: The circuitry solutions of decoders based on transmitting gates are proposed. Simulation and comparative analysis of the results are carried out, which confirmed the low power consumption and high speed of decoders developed by the proposed method.

**Keywords:** memory device, decoder, simulation, delay time.