

**DESIGN OF A COMPARATOR USED IN I/O UNITS OF INTEGRATED
CIRCUITS FOR A 14-NM COMPLEMENTARY METAL-OXIDE-
SEMICONDUCTOR TECHNOLOGICAL PROCESS**

G.A. Ohanyan¹, M.T. Manvelyan¹, M.TS. Ayvazyan²

¹*CJSC "SYNOPSIS ARMENIA"*

²*National Polytechnic University of Armenia*

In order to have high data transfer speeds, it is necessary to develop receiving and transmitting systems. Receiving and transmitting systems can transmit those speeds without a loss of data. Electromagnetic fields cause noise on transmission lines with uncoordinated wave resistance, and the network of these noises can disrupt the proper operation of the device. As we know, a comparator is an integral part of receiving and transmitting devices designed to compare two analog signals. We give an analog signal at the input of the circuit and receive a digital one at the output. Thus, a comparator can be thought of as an element that performs transitions from an analog signal to a digital one, that is why, it is often referred to as a one-bit analog converter. The comparator has many parameters. These include speed, power consumption, sensitivity, threshold voltage, etc.

High-speed comparators allow to get a maximum speed while they take up less space. It is suggested to design a clocked comparator for the 14-nm CMOS technological process, which will have an input sensitivity of 4 mV at a clock rate of 3 GHz. During the research, one scheme was observed, parametric optimization was performed through the SPICE model, physical modeling was performed using Custom Compiler. The results were displayed and measured using WaveView.

Keywords: comparator, SPICE, symmetrical and asymmetrical layout, physical layout.

Introduction. The production technology of modern integrated circuits has reached the size of nanometers. The latter allows the production of integrated circuits in which the smallest size of transistors is up to 3 nanometers.

The signals used to measure all the phenomena in the world around us are analog. The connection between the analog signal and the digital system is established by analog and digital transducers. The structural unit that performs the basic comparison function of analog and digital converters is the comparator [1, 2].

A comparator is a device that performs a comparison operation. There are different types of comparators, depending on the application.

The comparator diagram and operation description. A comparator was designed based on the following scheme (Fig. 1) [3].

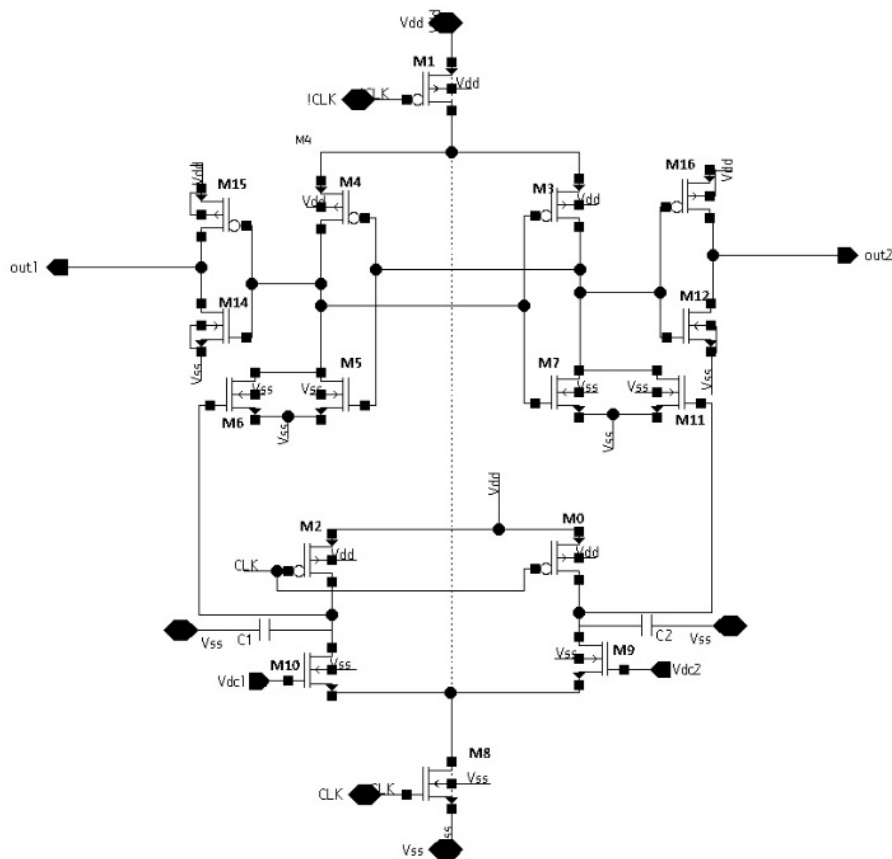


Fig. 1. The scheme of a comparator

The comparator has 4 inputs: CLK, !CLK, Vdc1, Vdc2.

CLK and !CLK control the comparator, i.e., they switch on or off the power supply. During the research, CLK and !CLK were given a pulse voltage. Vdc1 and Vdc2 are the signals that are compared by the comparator [4-6]. During the research, one of the inputs of the circuit was given a constant voltage and the other one - a pulse voltage (Fig. 2).

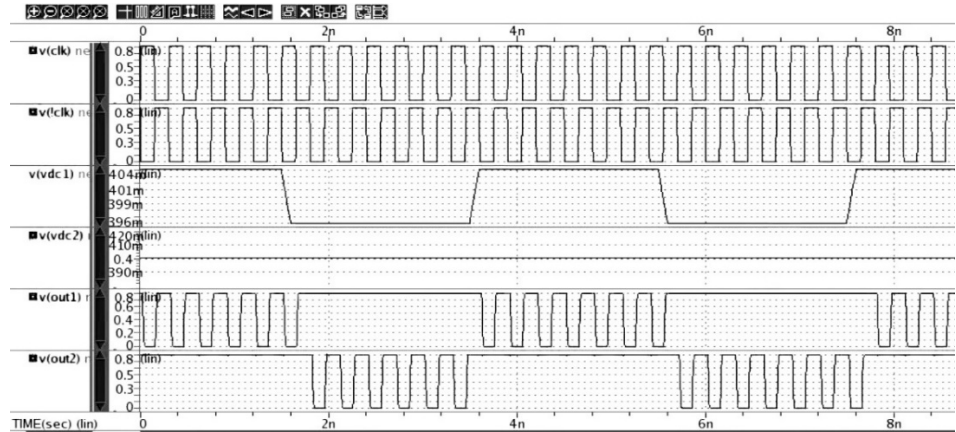


Fig. 2. Characteristics of the work of the comparator

The sensitivity of the comparator is 4 mV (Fig. 2). The outputs out1 and out2, and the 20 FF loads are connected to their outputs.

Under ideal conditions, on the positive front of CLK, out1 changes from 1 to 0, and on the negative front - from 0 to 1. During that time, out2 is at the high logic level, that is, in state '1'.

A comparator with asymmetrical parasitic capacities. When drawing the physical layout of a comparator, it is very likely that parasitic capacities will develop, which will most likely affect the output profile. Bearing all this in mind, several studies are conducted.

As a parasitic capacity, we connect the capacities C1 and C2 to the expressions of M9 and M10 nMOS transistors.

Let us regard $C1 = 9\text{ FF}$, $C2 = 4\text{ FF}$. As you can see in Figure 3, the output profile changes. On the positive front of CLK, out2 switches from a logical '1' to '0', and on a negative front, it switches from a logical '0' to '1'.

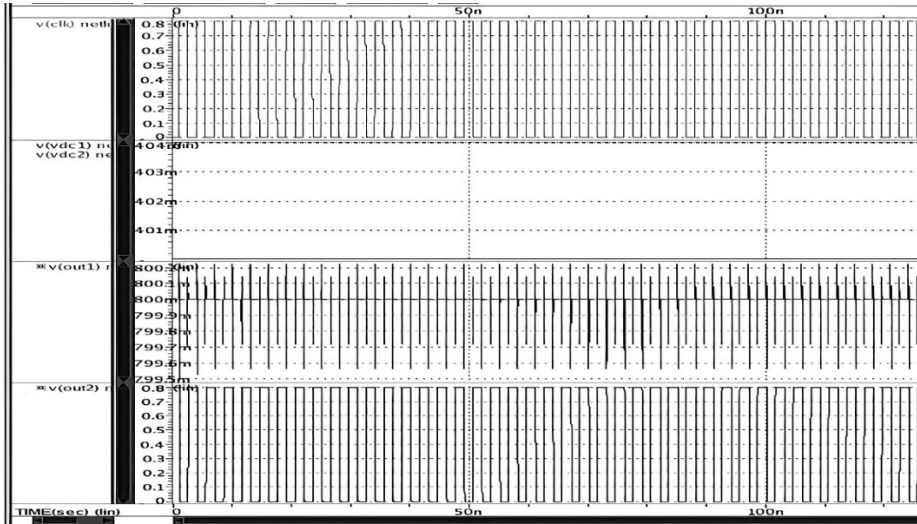


Fig. 3. The comparator V/s characteristic when $C1 = 9 FF$, $C2 = 4 FF$

The comparator with symmetrical parasitic capacities: $C1=C2=9FF$. In this case, the output does not change, and the graphic reflection is as follows (Fig. 4).

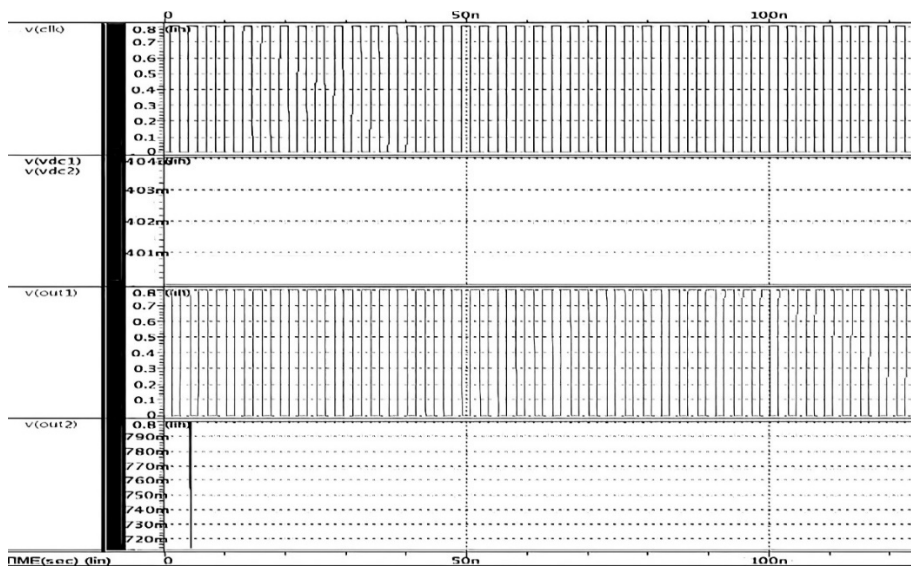


Fig. 4. The comparator V/s characteristic when $C1 = C2 = 9FF$

The physical layout of the comparator. It follows from the above research that the physical layout should be symmetrical. First and foremost, in given case, it is easier to design the layout (physical appearance) of the scheme, as well as work

with it. It becomes clearer and more understandable. The process of matching the transistors is easier and faster. And most importantly, the parasitic capacities of the scheme are equal.

It is recommended to divide the scheme into two parts (as in Fig. 5), then, to draw its physical layout, and connect it to its mirror image.

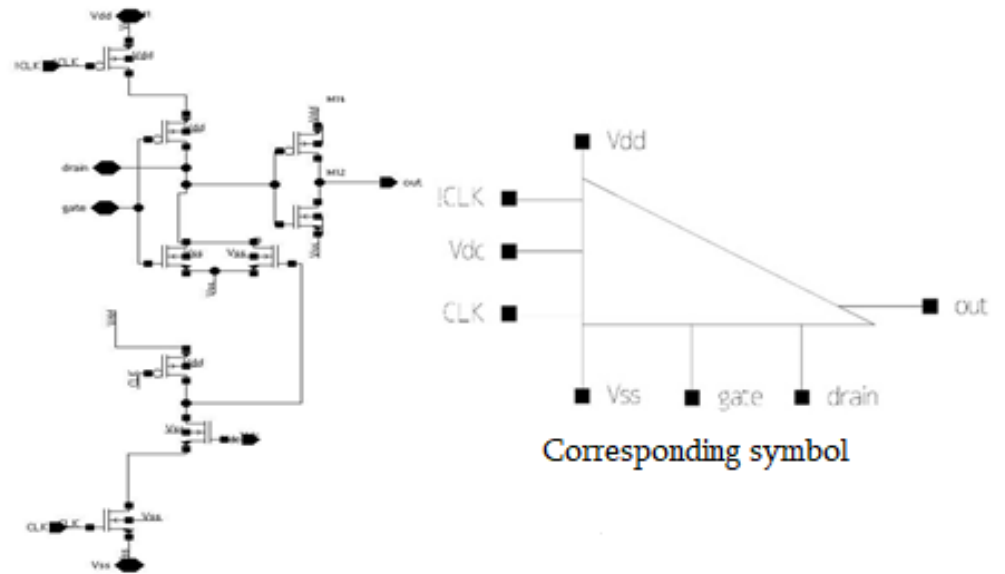


Fig. 5. Half comparator

The symmetrical physical layout of the comparator. In Fig. 6, you can see the symmetrical physical appearance of the comparator.

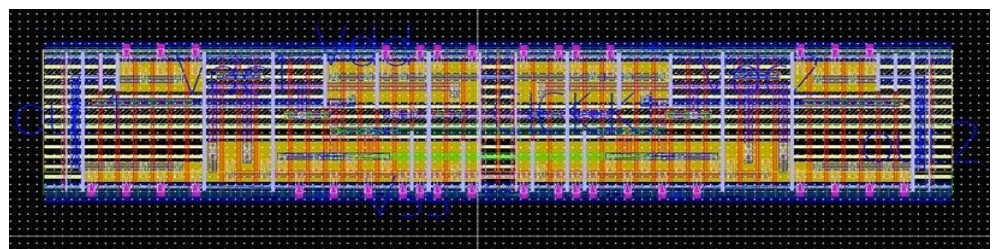


Fig. 6. Symmetrical physical design of the comparator

Fig. 7 shows the graphical description of a symmetrical physical layout. It is clearly seen, that the results satisfy the giventask, which isprovidingthe input sensitivity of 4 mV and 3 GHz clock rate.

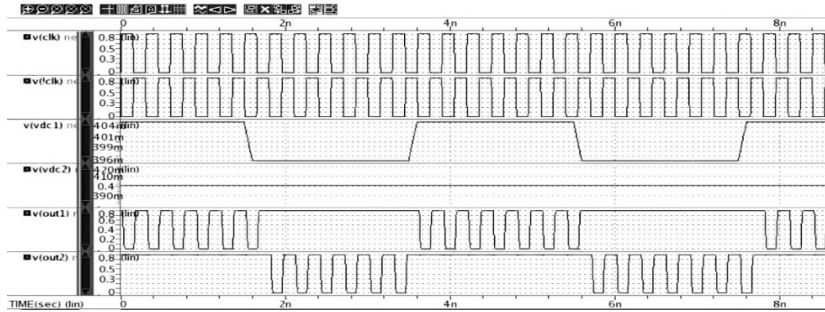


Fig. 7. The characteristic of a symmetrical physical design

Fig. 8 shows an asymmetrical graphical description, which, as we can see, does not satisfy the problem.

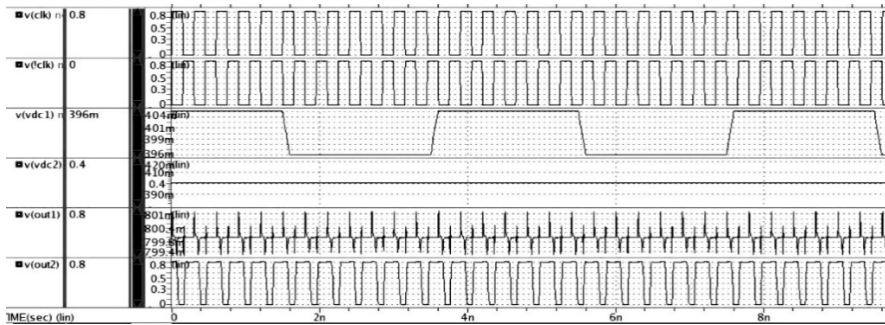


Fig. 8. The characteristic of an asymmetric physical design

Conclusion. As we know, nowadays it is possible to transmit data at high speeds over both long and short distances. Several things are needed for uninterrupted data transfer. First and foremost, it is important to demonstrate high noise resistance, minimum power consumption and high speed. Along with all this, it is necessary to find a compromise between functionality, power and noise.

From the results, it can be concluded that the designed comparator meets the technical requirements. That is, at a clock rate of 3 GHz, the input sensitivity is 4 mV.

References

1. **Razavi B.** Design of Analog CMOS Integrated Circuits.-Tata McGraw –Hill, 2015.- 693p.
2. **Miyahara M., Asada Y., Daehwa P., and Matsuzawa A.** A Low-Noise Self-Calibrating Dynamic Comparator for High-Speed ADCs // Proc. A-SSCC.- Nov. 2008.- P. 269-272.
3. **Masaya Miyahara, Yusuke Asada, Daehwa Paik, and Akira Matsuzawa,** A Low-Noise Self-Calibrating Dynamic Comparator for High-Speed / ADCs Department of

- Physical Electronics Tokyo Institute of Technology 2-12-1.- O-okayama, Meguroku, Tokyo, Japan, 2008.- 215p.
4. **Vali S., Rajesh P.** A 3GHz Low-offset Fully Dynamic Latched Comparator High-Speed and Low-Power ADCs.- 2013.- P. 84-89.
 5. **Allen P. and Holberg D.** CMOS Analog Circuit Design.- 2nd Edition.- New York, NY: Oxford, 2002.- 320p.
 6. **Jeon, Heung Jun.** Low-power high-speed low-offset fully dynamic CMOS latched comparator.- Massachusetts, May, 2010.- 285p.

Received on 26.04.2022.

Accepted for publication on 21.06.2022.

**ԻՆՏԵԳՐԱԼ ՄԽԵՄԱՆԵՐԻ ՄՈՒՏՔ ԵՎ ԵԼՔ ՀԱՆԳՈՒՅՑՆԵՐՈՒՄ
ՕԳՏԱԳՈՐԾՎՈՂ ՀԱՄԵՄԱՏՉԻ ՆԱԽԱԳԾՈՒՄԸ 14-ՆԱՆՈՉԱՓԱՆՈՑ
ԿՈՄՊԼԻՄԵՆՏԱՐ ՄԵՏԱՂ-ՕՔՄԻՂ-ԿԻՄԱՀԱՂՈՐԴԻՉ ՏԵԽՆՈԼՈԳԻԱԿԱՆ
ԳՈՐԾՆԹԱՑԻ ՀԱՄԱՐ**

Գ.Ա. Օհանյան, Մ.Տ. Մանվելյան, Մ.Ց. Այվազյան

Տվյալների փոխանցման բարձր արագություններ ունենալու համար անհրաժեշտ է մշակել ընդունող և հաղորդող համակարգեր: Ընդունող և հաղորդող համակարգերը կարող են այդ արագություններով տվյալներ փոխանցել՝ առանց տեղեկության կորստի: Սակայն պետք է հաշվի առնել, որ նման արագությունների դեպքում առաջանում են նաև խնդիրներ: Դրանք կարող են կապված լինել ցրվող հզորությունների, աղմուկների մակարդակների և հաղորդման զծերի հետ: Հաղորդման զծերում առաջանում են աղմուկներ, իսկ այդ աղմուկների առկայությունը կարող է խափանել սարքի ճիշտ աշխատանքը: Էլեկտրամագնիսական դաշտերը և չհամաձայնեցված ալիքային դիմադրություն ունեցող հաղորդման զծերն առաջացնում են հենց այդպիսի աղմուկներ: Համեմատիչը՝ որպես ընդունող և հաղորդող սարքերի անբաժանելի մաս, նախատեսված է երկու անալոգային ազդանշանների համեմատության համար: Միեմայի մուտքում տրվում են անալոգային ազդանշաններ, իսկ ելքում ստացվում՝ թվային: Այսպիսով՝ համեմատիչը կարելի է պատկերացնել որպես անալոգային ազդանշանից թվայինի անցնող տարր, ուստի այն հաճախ անվանում են մեկբիթանի անալոգաթվային ձևափոխիչ: Այն ունի բազմաթիվ պարամետրեր: Դրանցից են՝ արագագործությունը, սպառվող հզորությունը, զգայնությունը, շեմային լարումը և այլն:

Սույն աշխատանքում ուսումնասիրվել է տակտային ազդանշանով աշխատող արագագործ համեմատիչը: Նմանատիպ համեմատիչները հնարավորություն են տալիս՝ ստանալու առավելագույն արագագործություն՝ միաժամանակ զբաղեցնելով ավելի փոքր մակերես և ապահովելով ավելի մեծ էներգախնայողություն: Խնդրի դրվածքն է 14-նանոչափանոց ԿՍՕԿ տեխնոլոգիական գործընթացի համար նախագծել բարձրահաճախականային տակտավորվող համեմատիչ, որը 3 ԳՀց տակտային հաճախության դեպքում կունենա 4 մՎ մուտքային զգայնություն: Աշխատանքի ընթացքում դիտարկվել է մեկ սխեմա, կատարվել է պարամետրական օպտիմալացում

SPICE մոդելավորման միջոցով, HSPICE ծրագրային գործիքով: Կատարվել է նաև համեմատյալ ֆիզիկական մոդելավորում Custom Compiler ծրագրային գործիքով, իսկ արդյունքներն արտածվել են WaveView ծրագրային գործիքի միջոցով:

Առանցքային բաներ. համեմատիչ, SPICE, համաչափ և ոչ համաչափ նախագծում, ֆիզիկական նախագծում:

ПРОЕКТИРОВАНИЕ КОМПАРАТОРА, ИСПОЛЬЗУЕМОГО В УЗЛАХ ВВОДА-ВЫВОДА ИНТЕГРАЛЬНЫХ СХЕМ ДЛЯ 14-НАНОМЕТРОВОГО КОМПЛЕМЕНТАРНОГО ТЕХНОЛОГИЧЕСКОГО ПРОЦЕССА МЕТАЛЛ-ОКСИД- ПОЛУПРОВОДНИК

Г.А. Оганян, М.Т. Манвелян, М.Ц. Айвазян

Чтобы иметь высокие скорости передачи данных, необходимо развивать приемопередающие системы. Приемные и передающие системы могут передавать данные на этих скоростях без потери информации. Однако следует учесть, что при таких скоростях также возникают проблемы, которые связаны с рассеивающими способностями, уровнями шума и линиями передачи. В линиях передачи возникают шумы, которые мешают правильной работе устройства. Именно такие шумы производят электромагнитные поля и линии передачи с несогласованным волновым сопротивлением. Как известно, компаратор является составной частью приемопередающих устройств, предназначенных для сравнения двух аналоговых сигналов. На вход схемы подаем аналоговые сигналы, а на выходе получаем цифровые. Таким образом, компаратор можно рассматривать как элемент, осуществляющий переход от аналогового сигнала к цифровому, поэтому его часто называют однобитным аналоговым преобразователем. У него много параметров, в частности, скорость, потребляемая мощность, чувствительность, пороговое напряжение и т.д.

В данной работе исследуется быстродействующий компаратор, работающий с тактовым сигналом. Подобные сравнения позволяют получить максимальную скорость, занимая наименьшее пространство и обеспечивая большую экономию энергии. Задача состоит в том, чтобы разработать высокочастотный тактовый компаратор для 14-нанометрового комплементарного технологического процесса металл-оксид-полупроводник, который будет иметь входную чувствительность 4 мВ при тактовой частоте 3 ГГц. В ходе работы была выделена одна схема, параметрическая оптимизация выполнялась методом SPICE моделирования с помощью программного инструментария HSPICE. Физическое моделирование компаратора проводилось с помощью программного инструмента Custom Compiler, а результаты отображались с помощью программного инструмента WaveView.

Ключевые слова: компаратор, SPICE, симметричная и асимметричная планировка, физическая планировка.